

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年1 月22 日 (22.01.2004)

PCT

(10) 国際公開番号
WO 2004/007132 A1

(51) 国際特許分類⁷: B23H 1/02

大黒 裕之 (OOGURO, Hiroyuki) [JP/JP]; 〒100-0004
東京都千代田区大手町二丁目6番2号三菱電機エ
ンジニアリング株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2002/007107

(22) 国際出願日: 2002 年7 月12 日 (12.07.2002)

(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京
都千代田区霞ヶ関三丁目2番6号東京倶楽部ビル
ディング Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(81) 指定国 (国内): CN, JP, US.

(71) 出願人 (米国を除く全ての指定国について): 三
菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI
KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内
二丁目2番3号 Tokyo (JP).

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL,
PT, SE, SK, TR).

添付公開書類:
— 国際調査報告書

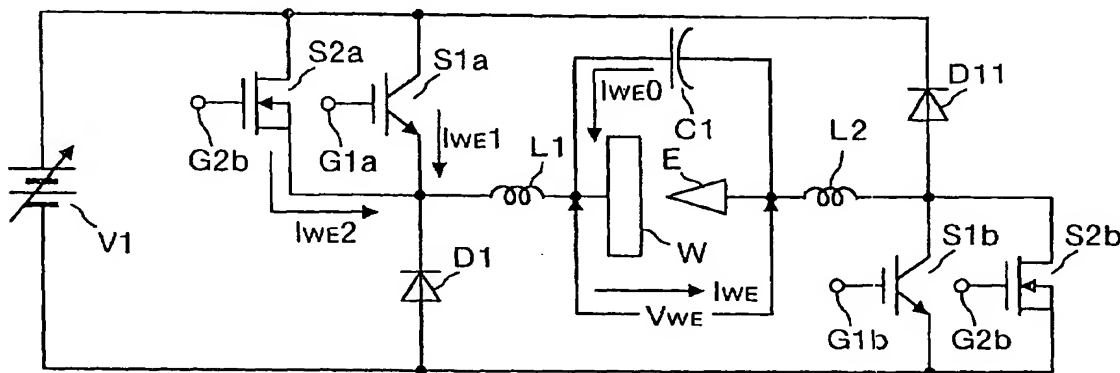
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤 清侍
(SATOU, Seiji) [JP/JP]; 〒100-8310 東京都千代田区丸
の内二丁目2番3号三菱電機株式会社内 Tokyo (JP).

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: DISCHARGE-PROCESSING POWER SOURCE DEVICE

(54) 発明の名称: 放電加工用電源装置



(57) Abstract: A discharge-processing power source device comprises a switching circuit for supplying a discharge pulse current to a polar gap (105) between an electrode and a workpiece as the other electrode counterposed at a predetermined interval from the electrode. The switching circuit is constituted of two switching circuits for receiving in parallel control pulse signals (PC) with a predetermined pulse width generated in response to a discharge start in the polar gap (105), i.e., switching circuits (6a, S2a) (6b, S2b) including a switching element suitable for high-speed action, and switching circuits (5a, S1a) (5b, S1b) including a switching element suitable for low-speed action. Thus, a wire discharge processing which matches with large-current and high-speed action is improved in efficiency.

(57) 要約: この発明では、電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間 (105) に放電パルス電流を供給するスイッチング回路を備える放電加工用電源装置において、前記スイッチング回路を、前記極間 (105) での放電開始にตอบสนองして発生する所定パルス幅の制御パルス信号 (PC) を並列に受ける2つのスイッチング回路、すなわち、高速動作に適したスイッチング素子を含むスイッチング回路 (6a, S2a) (6b, S2b) と、低速動作に適したスイッチング素子を含むスイッチング回路 (5a, S1a) (5b, S1b) とで構成し、大電流かつ高速動作に対応するワイヤ放電加工の効率向上を図る。

明 細 書

放電加工用電源装置

5 技術分野

この発明は、ワイヤ電極と他方の電極である被加工物との間（以下「極間」という）に放電を生じさせて被加工物をワイヤ放電加工するワイヤ放電加工装置で用いる放電加工用電源装置に関し、特に大電流かつ高周波数に対応したワイヤ放電加工を行うワイヤ放電加工装置で用いる放電加工用電源装置に関する。

10

背景技術

（ワイヤ放電加工に関する公知技術）

無負荷時間の長さに代表される極間の状態に応じて、大小電流パルスで極間に印加することで、ワイヤ断線を防止しながら高速にワイヤ放電加工が行えることは周知の技術である。一方、ワイヤ放電加工における繰り返し周波数は、60 kHz ~ 100 kHz 程度であるが、大小2種類の電流パルスを印加した場合、各電流パルスの発生比率が例えば大電流パルスは50%、小電流パルスは50%程度となり、大電流パルスの繰り返し周波数は、30 ~ 50 kHz になる。

一般に、予備放電パルスの無負荷電圧の長さに応じて大小の各電流パルスの電流ピークを変更する場合には、電圧印加からの無負荷時間が2 μ s 以内では小電流パルス（短絡、即放電）で制御し、電圧印加からの無負荷時間が2 μ s 以上では大電流パルス（正常放電）で制御すると、正常放電の発生比率は、おおむね全パルス数の約1/2 ~ 1/3 程度の値となる。また、短絡や即放電では、スラッジの発生が加工液の流通の影響等によって時間集中や位置集中となりやすく、スラッジの発生が放電集中の場合には繰り返し周波数が高くなる。

（スイッチング素子に関する公知技術）

第1図は、定格容量の異なるスイッチング素子のスイッチング応答時間に関する

る特性データの一覧を示す図である。第1図では、スイッチング素子として、3つの電界効果トランジスタ（以下「FET」という）1～3と、1つの絶縁ゲートバイポーラトランジスタ（以下「IGBT」という）と、1つのIGBTモジュールとが示され、それぞれについて、「容量」「ゲート入力容量」「ターン・オン時間」「ターン・オフ時間」「最小パルス幅」が示されている。

FET1は、「容量」が500V、3A、「ゲート入力容量」が330pF、「ターン・オン時間」が25ns、「ターン・オフ時間」が50ns、「最小パルス幅」が77nsである。FET2は、「容量」が500V、10A、「ゲート入力容量」が1050pF、「ターン・オン時間」が85ns、「ターン・オフ時間」は135ns、「最小パルス幅」は210nsである。FET3は、「容量」が500V、30A、「ゲート入力容量」が2800pF、「ターン・オン時間」が172ns、「ターン・オフ時間」は300ns、「最小パルス幅」は472nsである。

IGBTは、「容量」が600V、75A、「ゲート入力容量」が4100pF、「ターン・オン時間」が600ns、「ターン・オフ時間」は800ns、「最小パルス幅」は1400nsである。IGBTモジュールは、「容量」が600V、400A、「ゲート入力容量」が20000pF、「ターン・オン時間」が700ns、「ターン・オフ時間」は1100ns、「最小パルス幅」は1800nsである。

一般的に、スイッチング素子は、定格電圧、定格電流の容量が大きくなるほどスイッチング応答時間が遅くなる傾向にある。そして、第1図に示すように、一般的に同じ定格電圧でも電流容量の小さいスイッチング素子の方がゲート入力容量が小さくなる傾向にある。つまり、駆動に必要な電力も少なくて済むようになってくるので、スイッチング素子の動作をより高速にすることができる。

スイッチング素子のうち、ON抵抗が小さく、発熱の少ない素子は、ゲート入力容量が大きいため、高速動作ができない。また、ゲート入力容量が小さく高速動作可能な素子は、ON抵抗が大きく最大電流容量が小さいことに加え、発熱量

が大きいので、素子の冷却にコストがかかり、スペースが大きくなる等の問題がある。

(放電加工用電源装置の具体的な従来例)

第2図は、従来の放電加工用電源装置の構成例を示す回路図である。第3図は、
5 第2図に示す加工放電用電源部101のスイッチング素子S11a, S11bを
駆動制御する電源制御回路の構成を示すブロック図である。

第2図において、放電加工部100には、ワイヤからなる電極Eと他方の電極
である被加工物Wとが適宜な間隔を置いて対向配置されている。この放電加工部
100に対し、加工放電用電源部101と予備放電用電源部102とが設けられ
10 ている。

加工放電用電源部101は、可変の直流電源V11と、スイッチング素子（例
えばFET）S11a, S11bと、ダイオードD11, D12, D13, D1
4とを備えている。予備放電用電源部102は、可変の直流電源V21と、スイ
ッチング素子（例えばFET）S21と、抵抗器R21と、ダイオードD21,
15 D22とを備えている。

加工放電用電源部101では、直流電源V11の正極端には、ダイオードD1
1のカソード電極とスイッチング素子S11aのソース電極とが接続されている。
また、直流電源V11の負極端には、スイッチング素子S11bのソース電極と
ダイオードD12のアノード電極とが接続されている。

20 スwitchング素子S11aのドレイン電極は、ダイオードD12のカソード電
極とダイオードD13のアノード電極とに接続され、ダイオードD13のカソー
ド電極は、被加工物Wに接続されている。ダイオードD13のカソード電極と被
加工物Wとの接続ラインには、浮遊インダクタンスL11が存在している。

スイッチング素子S11bのドレイン電極は、ダイオードD11のアノード電
25 極とダイオードD14のカソード電極とに接続されている。ダイオードD14の
アノード電極と電極Eとの接続ラインには、浮遊インダクタンスL12が存在し
ている。

また、予備放電用電源部 102 では、直流電源 V21 の正極端には、スイッチング素子 S21 のソース電極が接続され、スイッチング素子 S21 のドレイン電極は、抵抗器 R21 を介してダイオード D21 のアノード電極に接続されている。ダイオード D21 のカソード電極は、被加工物 W に接続されている。ダイオード D21 のカソード電極と被加工物 W との接続ラインには、浮遊インダクタンス L21 が存在している。

また、直流電源 V21 の負極端には、ダイオード D22 のカソード電極が接続され、ダイオード D22 のアノード電極は、電極 E に接続されている。ダイオード D22 のアノード電極と電極 E との接続ラインには、浮遊インダクタンス L22 が存在している。ダイオード D21 のカソード電極と被加工物 W との接続ラインと、ダイオード D22 のアノード電極と電極 E との接続ラインとの間には、浮遊容量 C11 が存在している。

第 3 図に示すように、加工放電用電源部 101 のスイッチング素子 S11a, S11b を駆動制御する電源制御回路は、電極 E と被加工物 W との間である極間 (W-E) 105 に放電電流が流れるのを検出する放電検出回路 13 と、放電検出回路 13 から開始指令パルス信号 PK を受ける発振制御回路 14 と、発振制御回路 14 から制御パルス信号 PC が並列に入力されるドライブ回路 15a, 15b とを備えている。スイッチング素子 S11a, S11b は、ドライブ回路 15a, 15b から駆動パルス信号 PD を受けて極間 (W-E) 105 に加工パルス信号 PS を印加するようになっている。

次に、第 2 図～第 4 図を参照して、従来の放電加工用電源装置の動作について説明する。なお、第 4 図は、第 1 図に示す従来の放電加工用電源装置の動作原理を説明する図である。

まず、第 2 図、第 3 図に示されている符号の意味を説明する。第 2 図において、浮遊容量 C11 から放電加工部 100 に向かう電流 IWE10 は、放電開始電流である。加工放電用電源部 101 から放電加工部 100 に向かう電流 IWE11 は、放電加工電流である。予備放電用電源部 102 から放電加工部 100 に向かう電流 IWE22 は、

放電維持電流である。被加工物Wから電極Eに向かう電流IWEは、極間電流である。また、VWEは、極間電圧である。

また、第3図において、 t_k , t_c , t_d , t_s は、それぞれ、各回路で入力を受けて所望の信号を発生出力する処理に要する時間（遅延時間）を示し、 t_r は、それらを総和した遅延時間である。つまり、遅延時間 t_r は、放電検出回路13が放電加工部100の極間（W-E）105での放電発生を検出してからスイッチング素子S11a, S11bが極間（W-E）105に加工パルスPSを印加できるまでの時間である。なお、極間（W-E）105は、以降、単に極間と表記する。

さて、第2図、第3図において、電極Eと被加工物Wとの間である極間が放電、短絡していない状態で、予備放電用電源部100のスイッチング素子S21がオンすると、直流電源V21の電圧が極間に現れる。同時に、回路中の浮遊容量C11は、直流電源V21の電圧まで充電される。なお、電極Eと被加工物Wとの間の距離は、放電が発生するように、図示していない数値制御装置とサーボ駆動制御装置によって制御されている。

直流電源V21の出力電圧によって極間に放電が発生すると、まず、回路中の浮遊容量C11に蓄電されていた電荷が極間にコンデンサ放電され、放電開始電流IWE10が流れる。これによって、極間には導電路が形成される。この導電路を維持しておくためには、回路中の浮遊容量C11の電荷が放電しきった後も極間に電流を流し続けておかなければならないので、スイッチング素子S21はオンしたままにしておく。

その結果、直流電源V21→スイッチング素子S21→抵抗器R21→ダイオードD21→回路中の浮遊インダクタンスL21→被加工物W→電極E→回路中の浮遊インダクタンスL22→ダイオードD22→直流電源V21の経路で放電維持電流IWE22が流れ、極間に形成された導電路が維持される。このとき、放電維持電流IWE22は、抵抗器R21を通して流れるので、放電維持電流IWE22の最大値は、抵抗器R21によって $IWE22(max)=V21/R21$ に制限される。したがって、

この放電維持電流IWE22は、比較的電流値が小さく、加工エネルギーとしても弱い
ため、大電流の放電加工電流IWE11を流すための予備放電電流の役割を持っている。
極間に流そうとする大電流の放電加工電流IWE11は、次のように、放電発生と同時
に極間に現れてくるこの放電維持電流IWE22によって放電発生を検知し、検知した
5 時刻 t_0 からある時間 t_r だけ遅れて極間に出力されるようになっている。

すなわち、放電検出回路13は、極間に放電が発生したことによって極間電圧
VWEが低下したことを検出し、発振制御回路14に大電流出力の開始指令パルス信
号PKを出力する。発振制御回路14は、極間の加工状態によって設定されるパ
ルス幅の制御パルス信号PCをドライブ回路15a, 15bに出力する。ドライ
10 ブ回路15aは、発振制御回路14で設定されたパルス幅を持つ駆動パルス信号
PDによってスイッチング素子S11aをオン駆動する。同時に、ドライブ回路
15bは、同様に駆動パルス信号PDによってスイッチング素子S11bをオン
駆動する。

ここで、スイッチング素子S11a, S11b, S21が全てオン動作状態に
15 になると、電圧の異なる複数の直流電源が接続された回路が形成されることになる。
この場合には、サージ電圧を含む電位差によって回路中の素子が破壊されるおそ
れがある。そこで、スイッチング素子S11a, S11bをオンするときには、
安全策としてスイッチング素子S21はオフするようにする。

加工放電用電源部101では、スイッチング素子S11a, S11bが同時に
20 オン動作することによって、直流電源V11→スイッチング素子S11a→ダイ
オードD13→回路中の浮遊インダクタンスL11→被加工物W→電極E→回路
中の浮遊インダクタンスL12→ダイオードD14→スイッチング素子S11b
→直流電源V11の経路で大電流の放電加工電流IWE11が流れる。

ドライブ回路15a, 15bは、発振制御回路14からの制御パルス信号PC
25 が無くなると、それぞれスイッチング素子S11a, S11bをオフ駆動する。
このとき、放電加工電流IWE11は、回路中の浮遊インダクタンスL11, L12の
誘導作用により回路中を流れ続けようとする。その結果、回路中の浮遊インダク

タンス L_{11} → 被加工物 W → 電極 E → 回路中の浮遊インダクタンス L_{12} → ダイオード D_{14} → ダイオード D_{11} → 直流電源 V_{11} の経路で放電加工電流 I_{WE11} が直流電源 V_{11} に帰還し、回生される。

次に、第4図において、極間電圧 $V_{WE}(1)$ は、スイッチング素子 $S_{21}(3)$ がオン動作することによってある電圧（直流電源 V_{21} の電圧）になり、コンデンサ C_{11} が充電される。放電開始時刻 t_0 にてコンデンサ C_{11} の放電による放電開始電流 $I_{WE10}(2)$ が流れ始めると、極電圧 $V_{WE}(1)$ は、低下を始める。また、放電維持電流 $I_{WE22}(4)$ が、浮遊インダクタンス L_{21} , L_{22} の影響を受けて $V_{21} / (L_{21} + L_{22})$ の立ち上がり傾きを持って流れ始める。

極間電圧 $V_{WE}(1)$ は、放電開始時刻 t_0 から時間 t_k を経過した後のある時刻にて最低の放電電圧 V_a に到達し、以降、その放電電圧 V_a を維持する。放電維持電流 $I_{WE22}(4)$ は、放電開始電流 $I_{WE10}(2)$ がピーク値を過ぎた当たり（放電開始時刻 t_0 から時間 t_k を経過した後のある時刻）にて、所定値 ($I_{WE22(max)} = V_{21} / R_{21}$) に到達する。そして、放電開始時刻 t_0 から時間 t_r を経過すると、スイッチング素子 S_{11a} , S_{11b} であるスイッチング素子 $S_{11}(8)$ がオン動作を行うので、その時間 t_r を経過するまで、スイッチング素子 $S_{21}(3)$ はオン動作状態を維持するようになっている。したがって、放電維持電流 $I_{WE22}(4)$ は、スイッチング素子 $S_{21}(3)$ がオン動作をしている時間 t_r 内、その所定値 ($I_{WE22(max)} = V_{21} / R_{21}$) を維持する。

放電開始時刻 t_0 から時間 t_k を経過したとき、放電検出回路 13 が極間電圧 $V_{WE}(1)$ の所定値以下低下を検出して開始指令パルス信号 $PK(5)$ を発生する。この開始指令パルス信号 $PK(5)$ は、スイッチング素子 $S_{21}(3)$ がオン動作をしている時間 t_r を大きく超えた時間内出力される。次いで、放電開始時刻 t_0 から時間 $(t_k + t_c)$ を経過したとき、発振制御回路 14 が制御パルス信号 $PC(6)$ を発生する。この制御パルス信号 $PC(6)$ は、時間 $(t_d + t_s)$ の時間内出力される。

次いで、放電開始時刻 t_0 から時間 $(t_k + t_c + t_d)$ を経過したとき、ド

ライブ回路 15 a, 15 b が駆動パルス信号 PD (7) を発生する。この駆動パルス信号 PD (7) の発生期間は、制御パルス信号 PC (6) の発生期間と同じである。最後に、放電開始時刻 t_0 から時間 $(t_k + t_c + t_d + t_s)$ を経過したとき、つまり、放電開始時刻 t_0 から時間 t_r を経過したとき、スイッチング素子 S 11 a, S 11 b であるスイッチング素子 S 11 (8) がオン動作を行い、加工パルス信号 PS が出力される。スイッチング素子 S 11 (8) がオン動作を行う期間は、駆動パルス信号 PD (7) の発生期間と同じである。

スイッチング素子 S 11 (8) がオン動作を行うと、放電加工電流 IWE11 (9) が流れ始める。放電加工電流 IWE11 (9) は、浮遊インダクタンス L 11, L 12 を通して流れるので、スイッチング素子 S 11 (8) がオン動作状態にある期間内、 $V_{11} / (L_{11} + L_{12})$ の傾きを持って上昇を続ける。通常、直流電源 V 11 の電圧の方が直流電源 V 21 の電圧よりも 2 ~ 3 倍高いので、放電加工電流 IWE11 (9) の立ち上がりの傾きは、放電維持電流 IWE22 (4) の立ち上がりの傾きよりも急峻になる。放電加工電流 IWE11 (9) は、スイッチング素子 S 11 (8) がオフ動作を行うと、下降に転じる。

結局、極間電流 IWE (10) は、 $IWE = IWE_{10} + IWE_{22} + IWE_{11}$ となる。つまり、最初の放電開始電流 IWE10 (2) と、最終的な大電流の放電加工電流 IWE11 (9) との時間差の間を、予備放電用電源部 102 から出力される放電維持電流 IWE22 (4) にてつなげている。これによって、極間電流 IWE (10) が途切れることなく、極間の放電状態を維持しながら繰り返し放電加工が行えることになる。

ここで、スイッチング素子 S 11 a, S 11 b として、第 1 図に示した FET 2 を使用した場合、放電開始時刻 t_0 から放電加工電流 IWE11 が極間に現れるまでの遅延時間 t_r は、通常 410 ns 程度である。また、放電開始電流 IWE10 のコンデンサ放電のパルス幅は、360 ns 程度である。この間の時間 60 ns は、このままでは放電が途切れる危険性があるが、前述のように放電維持電流 IWE22 が流れるので、極間電流 IWE が途切れることはない。

しかしながら、上述した従来の放電加工用電源装置では、放電維持電流 IWE22 の

上限値が抵抗器 R 2 1 で制限されている。また、回路中の浮遊インダクタンス L 2 1, L 2 2 によって過渡状態の初期段階では電流値が低い。そのために、放電発生後に形成された極間の導電路が維持できず、放電加工電流 IWE11 の投入に失敗することがあるという問題がある。

- 5 特に、大型のワイヤ放電加工装置では、当該ワイヤ放電加工装置内の放電加工部における極間と電源装置との距離が長くなるので、その間を結ぶ給電ケーブルも長くなる。その結果、回路中の浮遊インダクタンスが大きくなり、放電開始電流 IWE10 が消滅した後も放電維持電流 IWE22 が立ち上がってこない場合があるので、極間に形成されていた導電路が絶たれてしまうことが起こる。
- 10 また、抵抗器 R 2 1 においても抵抗巻線によるインダクタンス成分が存在し、必要な抵抗値を得るためにインダクタンスも大きくなる。このように、抵抗器のインダクタンスが大きくなる場合には、さらに放電維持電流 IWE22 の立ち上がりを妨げることになる。また、最初の放電開始電流 IWE10 は、コンデンサ放電による電流であり、実際には振動成分を含んでいる。そのため、予め放電維持電流 IWE22
- 15 の最大値を多少大きくしていたとしても、この振動の負側の成分によって放電維持電流 IWE22 が相殺されてしまい、極間に形成されていた導電路が絶たれてしまうこともある。

- このように放電加工電流 IWE11 を投入する以前に放電開始電流 IWE10 によって確保された極間の導電路が絶たれてしまうと、予備放電電流である放電維持電流
- 20 IWE22 によって安定して放電加工電流 IWE11 を極間に供給するという作用が得られないので、放電加工においては様々な障害が発生する。

- すなわち、極間の導電路が絶たれている状態では、加工放電電源部 1 0 1 の出力端が開放状態であるので、放電加工電流 IWE11 は流れない。この場合には正常な放電加工が行われな
- 25 い。このような状態の発生頻度が高くなると、有効な放電回数が低下してしまう。その結果、本来得られるはずの加工速度が得られなかったり、それ以上の加工速度の向上を図ることができなくなってしまうという問題がある。

また、直流電源V 1 1の電圧は、短時間に大電流を出力するために、通常は直流電源V 2 1の電圧よりも2～3倍程度高くしてあるが、極間に導電路がなく開放状態となった場合は、この直流電源V 1 1の高電圧が極間に印加された状態となる。その結果、この高電圧によって新たに放電が発生し、予備放電なく突然大電流が極間に流れることになる。その結果、ワイヤ電極が細い場合には断線する
5 ことが起こる。ワイヤ電極に断線が発生しなくても加工面が粗くなって加工精度が悪化する原因となり、安定した放電加工特性を得ることができない等の問題がある。

上述のような問題については、特公平5－9209号公報（ワイヤカット放電加工装置用電源）においても同様の指摘がなされ、その解決策として、インダクタンスとコンデンサを直列接続した回路を極間と並列に設けて放電発生後の極間の導電路を維持し、すなわち放電状態を安定に持続させ、加工効率の低下を防止する技術が開示されている。しかしながら、この措置では、結果的に極間に余分なコンデンサを付加するので、例えば電源装置側からみた電気容量が回路中の浮遊容量と合わせて増大してしまい、出力電圧を極間に印加した場合の立ち上がり
10 時定数が大きくなり、極間電圧の立ち上がりが遅くなってしまう。このため、放電を発生させるまでの電圧印加時間が長くなるので、有効な放電回数が減少し、加工効率が充分に向上できない欠点がある。

また、上記特公平5－9209号公報に開示されたワイヤカット放電加工装置用電源では、付加するインダクタンスとコンデンサの値により、固有の振動周波数を得ているが、近年の放電加工用電源装置では、極間に印加する電圧の極性を交互に入れ替えて発振出力していく両極性タイプのものが主流となってきている。この場合には、付加されたコンデンサは、少なくとも電圧印加の発振周波数によって充放電動作を繰り返すことになる。高周波用途のコンデンサであっても誘電
20 損失は存在する。したがって、上記特公平5－9209号公報に開示された技術では、電圧印加の発振周波数に制限を加えるだけでなく、誘電損失による発熱も伴い、供給エネルギーの損失も発生してしまう問題がある。

(この発明に対する先行例)

この発明は、高速加工に必要な大電流と高周波化とを両立可能に実現するものである。この点に関する先行例としては、例えば、特開平11-48039号公報（放電加工機の放電加工電源装置）、特開昭64-11713号公報（放電加工電源）および特開平8-118147号公報（ワイヤ放電加工機の放電加工電源制御装置）を挙げることができる。

特開平11-48039号公報（放電加工機の放電加工電源装置）と特開昭64-11713号公報（放電加工電源）とは、加工間隙に大電流を供給する技術を開示しているが、回路の効率や熱損失についての検討はなされていない。すなわち、大電流を供給した場合の熱損失やスイッチング効率を改善するために、電流容量の大きい低損失特性に優れるスイッチング素子を使用すると、ゲート入力容量が大きく、ターン電流の立ち上がり特性が悪化し、アーク切れが発生しやすくなり、ワイヤ断線が頻発するという問題がある。

また、特開平8-118147号公報（ワイヤ放電加工機の放電加工電源制御装置）では、大中小の3種類の電流パルスを印加することで、ワイヤ断線の防止をより確実にする技術が開示されている。しかし、同一のスイッチング素子とドライブ回路とで構成しているため、例えば、 $\phi 0.35$ 等の太いワイヤ電極を使用する場合、電流ピークの増加に対応するためには、スイッチング素子の並列数を増やす必要があり、コストが増大する、電源装置の小型化が図れないという問題がある。

要するに、上記の先行例を含む従来例においては、大電流は供給できるが、放電周波数が高くなると、スイッチング素子のエネルギー損失が急激に増大し、スイッチング素子が熱破壊するという問題がある。もしくは、熱破壊はしなくとも、増大したスイッチングロスから素子を守るためには、熱変換装置の容量を極端に増やす必要があり、コストの低減や電源装置の小型化が図れないという問題がある。例えば、IGBT等の低損失で大電流供給に適したスイッチング素子は、繰り返し周波数の高い領域（例えば40kHz）では、使用が困難である。小電流

容量スイッチング素子は、一般的にON抵抗が大きいため、ON時間が長くなると熱損失が極端に増え、放熱処理にコストがかかる。

この発明は、上記に鑑みてなされたもので、スイッチング回路を2種類の特性の異なるスイッチング回路によって構成し、これによって大電流かつ高周波数に対応したワイヤ放電加工を効率よく行うことができ、併せてスイッチング素子の
5 数や発熱量を少なくすることができる放電加工用電源装置を得ることを目的とする。

発明の開示

10 この発明では、電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間に放電パルス電流を供給するスイッチング回路を備える放電加工用電源装置において、前記極間での放電開始の検出信号に
15 応答して所定パルス幅の制御パルス信号を発生するパルス幅制御手段を備えるとともに、前記スイッチング回路は、前記制御パルス信号を並列に受ける2つのスイッチング回路であって、高速動作に適したスイッチング素子を含むスイッチング
20 回路と、低速動作に適したスイッチング素子を含むスイッチング回路とで構成されることを特徴とする。

この発明によれば、高速動作に適したスイッチング素子を含むスイッチング回路と、低速動作に適したスイッチング素子を含むスイッチング回路とを同一放電
25 電流パルス発生時間内で、放電電流が継続するように順次駆動することができるので、大電流かつ高周波の間欠放電電流を発生することができる。したがって、大電流かつ高周波数に対応したワイヤ放電加工を効率よく行うことができる。また、特性の異なるスイッチング素子を用いるので、素子数を低減でき、その結果、発熱量を減らすことができる。

25 つぎの発明は、上記の発明において、前記スイッチング回路は、前記極間での放電開始の検出信号を受ける第1スイッチング回路と、前記制御パルス信号を受ける第2スイッチング回路とで構成され、前記第1スイッチング回路は、高速動

作に適したスイッチング素子と低速動作に適したスイッチング素子とのいずれか一方を含むスイッチング回路であり、前記第2スイッチング回路は、低速動作に適したスイッチング素子を含むスイッチング回路であることを特徴とする。

この発明によれば、第1スイッチング回路は、制御パルス信号を発生する処理時間分、第2スイッチング回路よりも速くスイッチングを行う。したがって、より高速の動作を実現することができる。また、第1スイッチング回路は、高速動作に適したスイッチング素子と低速動作に適したスイッチング素子とのいずれでも用いることができるので、使用素子の選択範囲を広くすることができる。

つぎの発明は、上記の発明において、前記第1スイッチング回路は、高速動作に適したスイッチング素子を含むスイッチング回路である場合には、前記放電開始の検出信号が前記高速動作に適したスイッチング素子の制御端に直接印加されることを特徴とする。

この発明によれば、第1スイッチング回路では、スイッチング素子の駆動手段を省略することができ、構成の簡素化が図れる。

つぎの発明は、上記の発明において、前記第1スイッチング回路は、前記放電開始の検出信号を受けてパルス幅が互いに異なる駆動パルス信号を発生する複数の駆動回路と、外部からの指令に基づき前記複数の駆動回路のいずれか一つが出力する駆動パルス信号を選択して前記スイッチング素子の制御端に印加する選択回路とを備えたことを特徴とする。

この発明によれば、高速動作を行うスイッチング素子の駆動時間を任意に可変制御することができる。

つぎの発明は、上記の発明において、前記スイッチング回路は、前記放電開始の検出信号を受ける第1スイッチング回路と、前記制御パルス信号を受ける第2スイッチング回路とで構成され、前記第1スイッチング回路は、高速動作に適したスイッチング素子を含むスイッチング回路であり、前記第2スイッチング回路は、低速動作に適したスイッチング素子を含むスイッチング回路であり、前記パルス幅制御手段は、前記発生する制御パルス信号のパルス幅を前記第2スイッ

ング回路において対向するスイッチング素子間で互いに異なる値に制御することを特徴とする。

この発明によれば、低速動作に適したスイッチング素子を含むスイッチング回路を用いて、間欠放電 1 パルス当たりの投入エネルギーが大きい環流ドライブ方式を実現することができる。したがって、大電流を必要とする太線ワイヤ電極つ
5 を用いたワイヤ放電加工が可能となる。

つぎの発明は、上記の発明において、前記パルス幅制御手段は、前記対向するスイッチング素子の一方が導通状態になる期間を与える第 1 パルス幅に設定した制御パルス信号を発生し、前記一方のスイッチング素子の駆動手段に与える第 1
10 設定手段と、前記対向するスイッチング素子の他方が導通状態になる期間を与える前記第 1 パルス幅とは異なる値の第 2 パルス幅に設定した制御パルス信号を発生し、前記他方のスイッチング素子の駆動手段に与える第 2 設定手段とを備えたことを特徴とする。

この発明によれば、低速動作に適したスイッチング素子を含むスイッチング回路において対向するスイッチング素子毎に異なるパルス幅の制御パルス信号を発生
15 することができる。

つぎの発明は、上記の発明において、前記パルス幅制御手段は、第 1 パルス幅に設定した制御パルス信号を発生する設定手段と、前記第 1 パルス幅を延長した第 2 パルス幅の制御パルス信号を出力する延長手段と、外部からの指令に従い前
20 記対向するスイッチング素子それぞれを駆動する駆動手段に対し、それぞれのスイッチング素子を導通状態にするパルス幅を持つ制御パルス信号として、前記第 1 パルス幅を持つ制御パルス信号と前記第 2 パルス幅を持つ制御パルス信号とを切り替えて出力する切替手段とを備えたことを特徴とする。

この発明によれば、低速動作に適したスイッチング素子を含むスイッチング回路において対向するスイッチング素子に対し、外部からの指令に従って、異なる
25 パルス幅の制御パルス信号を与えることができる。

つぎの発明は、上記の発明において、前記パルス幅制御手段は、前記対向する

スイッチング素子の一方が導通状態になる期間を与える第1パルス幅に設定した制御パルス信号を発生し、前記一方のスイッチング素子の駆動手段に与える第1設定手段と、前記対向するスイッチング素子の他方が導通状態になる期間を与える前記第1パルス幅とは異なる値の第2パルス幅に設定した制御パルス信号を発生し、前記他方のスイッチング素子の駆動手段に与える第2設定手段とを備え、さらに、前記第1スイッチング回路において対向するスイッチング素子のそれぞれを導通状態にする期間を与えるパルス幅を設定する設定手段を備え、前記第1スイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、前記放電開始の検出信号を受けて、前記設定手段が設定したパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動することを特徴とする。

この発明によれば、高速動作に適したスイッチング素子を含むスイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、適切に設定されたパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動することができるので、素子の負荷バランスを採ることができる。

つぎの発明は、上記の発明において、前記パルス幅制御手段は、第1パルス幅に設定した制御パルス信号を発生する第1設定手段と、前記第1パルス幅を延長した第2パルス幅の制御パルス信号を出力する延長手段と、外部からの指令に従い前記対向するスイッチング素子それぞれを駆動する駆動手段に対し、それぞれのスイッチング素子を導通状態にするパルス幅を持つ制御パルス信号として、前記第1パルス幅を持つ制御パルス信号と前記第2パルス幅を持つ制御パルス信号とを切り替えて出力する切替手段とを備え、さらに、前記第1スイッチング回路において対向するスイッチング素子のそれぞれを導通状態にする期間を与えるパルス幅を設定する第2設定手段を備え、前記第1スイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、前記放電開始の検出信号を受けて、前記第2設定手段が設定したパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動することを特徴とする。

この発明によれば、高速動作に適したスイッチング素子を含むスイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、適切に設定されたパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動することができるので、素子の負荷バランスを採ることができる。

- 5 つぎの発明は、上記の発明において、前記制御パルス信号のパルス幅を放電開始前に外部から変更設定を行う手段を備えたことを特徴とする。

この発明によれば、制御パルス信号のパルス幅を放電開始前に外部から変更設定することができるので、少なくとも低速動作に適するスイッチング素子のオン動作期間を外部から任意に設定することができる。

- 10 つぎの発明は、電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間での放電開始に応答して、第1パルス幅の制御パルス信号を発生する第1パルス幅制御手段、および前記第1パルス幅とは異なる値の第2パルス幅の制御パルス信号を発生する第2パルス幅制御手段と、前記第1パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給する
- 15 スwitchング回路であって、低速動作に適したスイッチング素子を含む第1スイッチング回路と、前記第2パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、高速動作に適したスイッチング素子を含む第2スイッチング回路と、前記極間での放電開始時の放電状態が、正常放電状態と即放電状態と短絡状態とのいずれであるかを判別する放電状態判別
- 20 手段と、前記放電状態判別手段の判別結果が、正常放電状態を示すときは前記第1パルス幅制御手段に出力指示を出し、即放電状態ないしは短絡状態を示すときは前記第2パルス幅制御手段に出力指示を出す電流パルス選択手段とを備えたことを特徴とする。

- この発明によれば、大電流を印加する正常放電時では、低速動作に適したスイッチング回路を動作させ、繰り返す周波数が高くなる短絡や即放電時では、高速動作に適したスイッチング回路を動作させることができる。したがって、大電流かつ高周波数に対応したワイヤ放電加工を効率よく行うことができる。また、特
- 25

性の異なるスイッチング素子を用いるので、素子数を低減でき、その結果、発熱量を減らすことができる。さらに、低損失側のスイッチング回路の繰り返し周波数を $1/2 \sim 1/3$ に押さえることができるので、より大電流かつ低損失の素子（例えば IGBT 等）が使用できる。

5 つぎの発明によれば、電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間での放電開始に応答して、第 1 パルス幅の制御パルス信号を発生する第 1 パルス幅制御手段、および前記第 1 パルス幅とは異なる値の第 2 パルス幅の制御パルス信号を発生する第 2 パルス幅制御手段と、前記第 1 パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、低速動作に適したスイッチング素子を含む第 10 1 スwitchング回路と、前記第 2 パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、高速動作に適したスイッチング素子を含む第 2 スwitchング回路と、前記極間での放電開始時の放電状態が、正常放電状態と即放電状態と短絡状態とのいずれであるかを判別する放電状態判別手段と、前記放電状態判別手段の判別結果が即放電状態ないしは短絡状態 15 を示すとき、前記第 1 パルス幅制御手段に出力停止指示を出す電流パルス停止手段とを備えたことを特徴とする。

この発明によれば、大電流を印加する正常放電時では、高速動作に適したスイッチング回路と低速動作に適したスイッチング回路の両回路を動作させ、繰り返す周波数が高くなる短絡や即放電時では、高速動作に適したスイッチング回路のみを動作させることができる。したがって、大電流かつ高周波数に対応したワイヤ放電加工を効率よく行うことができる。また、特性の異なるスイッチング素子を用いるので、素子数を低減でき、その結果、発熱量を減らすことができる。さらに、低損失側のスイッチング回路の繰り返し周波数を $1/2 \sim 1/3$ に押さえる 20 ことができるので、より大電流かつ低損失の素子（例えば IGBT 等）が使用できる。

つぎの発明によれば、上記の発明において、前記制御パルス信号のパルス幅を

放電開始前に外部から変更設定を行う手段を備えたことを特徴とする。

この発明によれば、制御パルス信号のパルス幅を放電開始前に外部から変更設定することができるので、少なくとも低速動作に適するスイッチング素子のオン動作期間を外部から任意に設定することができる。

5

図面の簡単な説明

第1図は、定格容量の異なるスイッチング素子のスイッチング応答時間に関する特性データの一覧を示す図であり、第2図は、従来の放電加工用電源装置の構成例を示す回路図であり、第3図は、第2図に示す加工放電用電源部のスイッチング素子を駆動制御する電源制御回路の構成を示すブロック図であり、第4図は、第3図に示す電源制御回路による従来の放電加工用電源装置の動作原理を説明する図であり、第5図は、この発明の実施の形態1である放電加工用電源装置の主な構成を示す回路図であり、第6図は、第5図に示す放電加工用電源装置のスイッチング素子を駆動制御する電源制御回路の構成を示すブロック図であり、第7図は、第6図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図であり、第8図は、第6図に示す電源制御回路によって動作する放電加工用電源装置の各部の動作波形を示す図であり、第9図は、第1図に示したスイッチング素子を用いた場合の発熱量と加工速度との関係を説明する図であり、第10図は、この発明の実施の形態2である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第11図は、第10図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図であり、第12図は、第10図に示す電源制御回路によって動作する放電加工用電源装置の各部の動作波形を示す図であり、第13図は、この発明の実施の形態3である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第14図は、この発明の実施の形態4である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第15図は、第14図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図であり、第16図は、第14図に示す電源制御回路が出

25

力するゲート・ドライブ信号と放電加工用電源装置における極間電流との関係を説明する図であり、第 17 図は、この発明の実施の形態 5 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第 18 図は、この発明の実施の形態 6 である放電加工用電源装置が備える電源制御回路の構成を示す
5 ブロック図であり、第 19 図は、この発明の実施の形態 7 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第 20 図は、第 19 図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図であり、第 21 図は、この発明の実施の形態 8 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図であり、第 22 図は、第 21 図に示す電源制御回
10 路による放電加工用電源装置の動作原理を説明する図である。

発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる放電加工用電源装置の好適な実施の形態を詳細に説明する。

15 実施の形態 1.

第 5 図は、この発明の実施の形態 1 である放電加工用電源装置の主な構成を示す回路図である。第 6 図は、第 5 図に示す放電加工用電源装置のスイッチング素子を駆動制御する電源制御回路の構成を示すブロック図である。

第 5 図において、電極 E と被加工物 W は、放電加工部に適宜な間隔を置いて配置されている。電極 E と被加工物 W との間には、放電開始時に外部から直流電圧（極間電圧）が印加できるようになっている。なお、電極 E と被加工物 W との間には、浮遊容量 C 1 が存在している。
20

この電極 E と被加工物 W とに対し、可変の直流電源 V 1 と、スイッチング素子 S 1 a, S 1 b, S 2 a, S 2 b と、ダイオード D 1, D 2 とが配置されている。
25 ここで、スイッチング素子 S 1 a, S 1 b には、大電流・低損失に適した素子（例えば I G B T）が用いられる。また、スイッチング素子 S 2 a, S 2 b には、高速動作に適した素子（例えば F E T）が用いられる。

直流電源V 1の正極端には、並列接続されたスイッチング素子S 2 a, S 1 aの一方の信号電極とダイオードD 2のカソード電極とが接続されている。また、直流電源V 1の負極端には、並列接続されたスイッチング素子S 1 b, S 2 bの一方の信号電極とダイオードD 1のアノード電極とが接続されている。

- 5 並列接続されたスイッチング素子S 2 a, S 1 aの他方の信号電極は、ダイオードD 1のカソード電極と共に被加工物Wに接続されている。この接続ラインには浮遊インダクタンスL 1が存在している。また、並列接続されたスイッチング素子S 1 b, S 2 bの他方の信号電極は、ダイオードD 2のアノード電極と共に電極Eに接続されている。この接続ラインには浮遊インダクタンスL 2が存在し
10 ている。

- 第6図に示すように、スイッチング素子S 1 a, S 1 b, S 2 a, S 2 bを駆動制御する電源制御回路は、電極Eと被加工物Wとの間である極間(W-E) 105に放電電流が流れるのを検出する放電検出回路3と、放電検出回路3から開始指令パルス信号PKを受ける発振制御回路4と、発振制御回路4から制御パルス信号PCが並列に入力されるドライブ回路5 a, 5 b, 6 a, 6 bとを備えている。スイッチング素子S 1 a, S 1 bは、ドライブ回路5 a, 5 bから駆動パルス信号PD 1を受けて、またスイッチング素子S 2 a, S 2 bは、ドライブ回路6 a, 6 bから駆動パルス信号PD 2を受けて、それぞれ極間(W-E) 105に加工パルス信号PSを印加するようになっている。

- 20 放電検出回路3は、例えば、基準電圧2 1と、コンパレータ2 2と、極間電圧VWEを分圧する抵抗素子2 3, 2 4の直列回路とを備えている。抵抗素子2 3, 2 4の直列回路での分圧電圧をコンパレータ2 2の正相入力端(+)に与え、基準電圧2 1をコンパレータ2 2の逆相入力端(-)に与え、極間電圧VWEが初期値から基準電圧2 1以下に降下したとき、コンパレータ2 2の出力レベルが反転すること
25 ことで極間での放電開始を検出する。

ドライブ回路5 a, 5 bは、例えば、制御パルス信号PCが入力されるバッファ2 5と、バッファ2 5の出力が抵抗素子2 6を介して入力され2つトランジス

タ 27, 28 の直列回路からなるドライバと、ドライバの出力端とスイッチング素子 $S1a$, $S1b$ の制御端とを接続する抵抗素子 29 とで構成される。ドライ
ブ回路 6a, 6b は、例えば、制御パルス信号 PC が入力されるバッファ 30 と、
5 バッファ 30 の出力端とスイッチング素子 $S2a$, $S2b$ の制御端とを接続する
抵抗素子 31 とで構成される。

次に、第 5 図～第 9 図を参照して、実施の形態 1 による放電加工用電源装置の
動作について説明する。なお、第 7 図は、第 6 図に示す電源制御回路による放電
加工用電源装置の動作原理を説明する図である。第 8 図は、第 6 図に示す電源制
御回路による放電加工用電源装置の各部の動作波形を示す図である。第 9 図は、
10 第 1 図に示したスイッチング素子を用いた場合の発熱量と加工速度との関係を説
明する図である。

まず、第 5 図、第 6 図に示されている符号の意味を説明する。第 5 図において、
浮遊容量 $C1$ から被加工物 W に向かう電流 $IWE0$ は、放電開始電流である。スイッ
チング素子 $S1a$ ($S1b$) を一方の信号電極から他方の信号電極に向かう電流
15 $IWE1$ は、放電加工電流である。スイッチング素子 $S2a$ ($S2b$) を一方の信号
電極から他方の信号電極に向かう電流 $IWE2$ は、放電維持電流である。被加工物 W
から電極 E に向かう電流 IWE は、極間電流である。また、 VWE は、極間電圧である。

また、第 6 図において、 t_k , t_c , t_d は、それぞれ、各回路にて入力を受
けて所望の信号を発生出力する処理に要する時間（遅延時間）を示している。 t
20 $s1$ は、スイッチング素子 $S1a$, $S1b$ での遅延時間を示している。 t_s2 は、
スイッチング素子 $S1a$, $S1b$ での遅延時間を示している。 t_{r1} は、放電が
発生した時点（時刻 t_0 ）から大電流の放電加工電流 $IWE1$ が極間に現れるまでの
遅延時間である。 t_{r2} は、放電が発生した時点（時刻 t_0 ）から放電維持電流
 $IWE2$ が極間に現れるまでの遅延時間である。

25 さて、第 5 図～第 7 図において、極間に図示していない別の電源装置から所定
の極間電圧 VWE を印加し、極間が放電できる状態にする。これによって回路中の浮
遊容量 $C1$ によるコンデンサ放電が発生し、放電開始電流 $IWE0$ が極間に現れる。

極間電圧 V_{WE} は、急激に低下し、放電開始時刻 t_0 から時間 t_k 経過後に最低の放電電圧 V_a で安定する（第7図（1））。

放電検出回路3は、極間電圧 V_{WE} が基準電圧21よりも低くなることをコンパレータ21によって検出して極間に放電が発生したことを検知すると、その検知した時点（放電開始時刻 t_0 ）から遅延時間 t_k 後に発振制御回路4に発振開始指令パルス信号 P_K を出力する。発振開始指令パルス信号 P_K は、極間電圧 V_{WE} が消滅するまでの間出力される（第7図（2））。発振制御回路4は、発振開始指令パルス信号 P_K を受けて、極間の加工状態によって予め設定されているパルス幅の制御パルス信号 P_C を遅延時間 t_c 後にドライブ回路5a, 5b, 6a, 6bに出力する（第7図（3））。

これによって、ドライブ回路5a, 5bは、遅延時間 t_d 後に所定パルス幅を持つ駆動パルス信号 P_{D1} をスイッチング素子 S_{1a} , S_{1b} に出力しオン駆動する（第7図（4））。スイッチング素子 S_{1a} , S_{1b} は、遅延時間 t_{s1} 後に、一定期間 $t_{1(on)}$ だけオン動作状態になる（第7図（5））。スイッチング素子 S_{1a} , S_{1b} を流れる電流 I_{WE1} は、浮遊インダクタンス L_1 , L_2 を
15 通って極間に現れるので、一定期間 $t_{1(on)}$ 内、ある傾きを持って上昇を続け、一定期間 $t_{1(on)}$ の終了と同時に下降に転ずる（第7図（8））。

また、ドライブ回路6a, 6bは、遅延時間 t_d 後に所定パルス幅を持つ駆動パルス信号 P_{D2} をスイッチング素子 S_{2a} , S_{2b} に出力しオン駆動する（第7図（6））。スイッチング素子 S_{2a} , S_{2b} は、遅延時間 t_{s2} 後に、一定
20 期間 $t_{2(on)}$ だけオン動作状態になる（第7図（7））。スイッチング素子 S_{2a} , S_{2b} を流れる電流 I_{WE2} は、浮遊インダクタンス L_1 , L_2 を通って極間に現れるので、一定期間 $t_{2(on)}$ 内、ある傾きを持って上昇を続け、一定期間 $t_{2(on)}$ の終了と同時に下降に転ずる（第7図（8））。

25 ここで、スイッチング素子 S_{1a} , S_{1b} は、大電流・低損失に適した素子であるので、遅延時間 t_{s1} は大きく、オン動作状態にある期間（ $t_{1(on)}$ ）も大きくする必要がある。一方、スイッチング素子 S_{2a} , S_{2b} は、高速動作

に適した素子であるので、遅延時間 t_{s1} は小さく、オン動作状態にある期間 ($t_2(\text{on})$) も小さくてよい。したがって、第7図(5)(7)に示すように、スイッチング素子 $S1a$, $S1b$ の遅延時間 t_{s1} と、スイッチング素子 $S2a$, $S2b$ の遅延時間 t_{s2} とは、 $t_{s1} > t_{s2}$ となっている。

5 また、第7図(4)(6)に示すように、駆動パルス信号 $PD1$, $PD2$ のパルス幅は、 $PD1 > PD2$ となっている。なお、駆動パルス信号 $PD1$ のパルス幅は、発振制御回路4が出力する制御パルス信号 PC のパルス幅と同じパルス幅を持っているが、終了時刻は外部から変更設定できるようになっている。一方、駆動パルス信号 $PD1$ のパルス幅は、その役割から固定値を用いてよい。

10 その結果、第7図(8)に示すように、極間電流 IME として、最初に時間 t_{r2} ($t_k + t_c + t_d + t_{s2} = t_{r2}$) の経過後にスイッチング素子 $S2a$, $S2b$ を流れる電流 $IME2$ が現れ、その後、時間 t_{r1} ($t_k + t_c + t_d + t_{s1} = t_{r1}$) の経過後にスイッチング素子 $S1a$, $S1b$ を流れる電流 $IME1$ が現れることになる。この電流 $IME2$ は、従来例で説明した放電維持電流 $IWE22$ に対応し、
15 電流 $IME1$ は、従来例で説明した大電流の放電加工電流 $IWE11$ に対応していることが解る。

20 そして、スイッチング素子 $S1a$, $S1b$ がオン動作状態にある期間 ($t_1(\text{on})$) と、スイッチング素子 $S2a$, $S2b$ がオン動作状態にある期間 ($t_2(\text{on})$) との時間位置と大きさを調節することによって、第7図(8)に示すように、放電維持電流 $IWE2$ と放電加工電流 $IWE1$ とが大きな重なり部分を持つように発生させることができる。

25 第8図では、以上説明した極間電流 IWE に関わる部分の動作波形が抜き出して示されている。第8図において、所定の極間電圧 VWE が極間に印加されると(1)、放電開始電流 $IWE0$ が流れ(2)、放電検出回路3が極間電圧 VWE の低下を検出した放電開始時刻 t_0 に開始指令パルス信号 PK を出力する(3)。放電開始時刻 t_0 から時間 t_{r2} を経過した時点は、放電開始電流 $IWE0$ がピーク値を過ぎた当たりになっている(9)。

放電開始時刻 t_0 から時間 t_{r2} を経過した時点で、スイッチング素子 S_{2a} , S_{2b} が駆動パルス信号 PD_2 によって一定期間 t_2 (on) だけオン動作状態になり (4)、放電維持電流 I_{W2} が流れる (5)。この放電維持電流 I_{W2} は、放電開始電流 I_{WE0} がピーク値を過ぎてある値に降下した当たりで放電開始電流 I_{WE0} と入れ替わる形で流れ始める (9)。

発振制御回路 4 が出力する制御パルス信号 PC は、予め設定したパルス幅を持ち (6)、駆動パルス信号 PD_1 はそれと同じパルス幅を持って発生する (7)。放電開始時刻 t_0 から時間 t_{r1} を経過した時点で、スイッチング素子 S_{1a} , S_{1b} が駆動パルス信号 PD_1 によって一定期間 t_1 (on) だけオン動作状態になり (7)、大電流の放電加工電流 I_{W1} が流れる (8)。この放電加工電流 I_{W1} は、放電維持電流 I_{W2} が下降に転じた当たりで放電維持電流 I_{W2} と入れ替わる形で流れ始める (9)。

第 8 図 (9) に示すように、極間電流 I_{WE} は、従来例と同様に (第 4 図 (10) 参照)、 $I_{WE} = I_{WE0} + I_{WE2} + I_{WE1}$ となるが、相互の重なり部分が従来例よりも相当に増加している。したがって、極間電流 I_{WE} が途切れないようにすることができるだけでなく、大きな重なり部分を持つことによって加工エネルギーを増加させることができるので、同一の放電周波数で比較すると加工効率が向上することになる。

ここで、スイッチング素子 S_{1a} , S_{1b} , S_{2a} , S_{2b} に具体的な素子を適用して説明する。まず、スイッチング素子 S_{1a} , S_{1b} には、大電流を流すために電流容量の大きな素子として、第 1 図に示すスイッチング素子 $IGBT$ を選定したとすると、遅延時間 t_{s1} は、約 600 ns となる。次に、スイッチング素子 S_{2a} , S_{2b} は、次のようにして定める。

すなわち、コンデンサ放電による放電開始電流 I_{WE0} のパルス幅は、 360 ns 程度である。放電開始時刻 t_0 から放電維持電流 I_{WE2} が極間に現れるまでの遅延時間 t_{r2} は、スイッチング素子 S_{2a} , S_{2b} に第 1 図に示すスイッチング素子 FET_2 を使用すると、従来例と同様に 410 ns 程度である。この値は、放

電開始電流IWE0のパルス幅よりも大きい。これでは、極間電流に途切れが生ずる。

そこで、スイッチング素子S2a, S2bには、放電を維持できる電流だけを流すために電流容量の小さい素子として、第1図に示すスイッチング素子FET1を選定する。この場合の遅延時間 t_{s2} は、FET2のそれよりも60ns短い約25nsとなる。これを用いると、遅延時間 t_{r2} は、350nsに短縮できる。この時間は、放電開始電流IWE0のパルス幅360nsよりも短い。

したがって、スイッチング素子S2a, S2bに第1図に示すスイッチング素子FET1を使用することによって、放電開始電流IWE0出力後、放電加工電流IWE1が現れるまでの遅延時間の期間中をスイッチング素子S2a, S2bが発生する放電維持電流IWE2により隙間無く補うことができるので、極間電流IWEが途切れることなく極間の導電路を維持することができる。

また、放電維持電流IWE2は、大電流の放電加工電流IWE1よりも、およそ $t_{s1} - t_{s2} = 575\text{ ns}$ 早く極間に現れるので、放電維持電流IWE2のパルス幅が575ns以上となるように、スイッチング素子S2a, S2bのオン動作状態である一定時間 $t_2(\text{on})$ を設定しておけば、放電維持電流IWE2と大電流の放電加工電流IWE1は、時間的に連続した出力電流波形とすることができる。

次に、第9図を参照してこの発明の意義を具体的に説明する。なお、第9図における横軸は、加工速度 $[\text{mm}^2/\text{min}]$ である。縦軸は、発熱量[W]である。第9図において、特性36は、上述したスイッチング素子S1a, S1b, S2a, S2bを従来例と同様に単一特性のスイッチング素子で構成し、大容量の素子として第1図に示すスイッチング素子4(IGBT)を使用した場合の特性図である。特性37は、上述したスイッチング素子S1a, S1b, S2a, S2bを従来例と同様に単一特性のスイッチング素子で構成し、小容量の素子として第1図に示すスイッチング素子1(FET1)を使用した場合の特性図である。特性38は、上述したスイッチング素子S1a, S1b, S2a, S2bをこの発明による異なる特性のスイッチング素子で構成し、第1図に示すスイッチング素子1(FET1)とスイッチング素子4(IGBT)とを組み合わせ使用した場合

の特性図である。特性 39 は、上述したスイッチング素子 $S1a$, $S1b$, $S2a$, $S2b$ を従来例と同様に単一特性のスイッチング素子で構成し、小容量の素子として第 1 図に示すスイッチング素子 1 (FET2) を使用した場合の特性図である。

- 5 上述したスイッチング素子 $S1a$, $S1b$, $S2a$, $S2b$ を単一のスイッチング素子で構成した場合でも、大容量の素子として第 1 図に示すスイッチング素子 4 (IGBT) を使用した場合では、比較的少ない素子数で済ませることができる。しかし、大容量スイッチング素子のみの回路では、素子の特性上動作が十分に速くないため、放電開始電流 $IWE0$ が流れて極間電流が継続している間に放電加工電流 $IWE1$ をできるだけ早く印加することができず、放電加工電流 $IWE1$ 出力時には、
10 極間状態が絶縁回復（導電路がなく開放状態）してしまうことになる。このような極間状態では、従来例と同様に、直流電源 $V1$ の高電圧が極間に印加された状態となり、この高電圧によって新たな放電が発生し、予備放電なく突然大電流を極間に流すことになる。放電が安定せず、特性 36 に示すように、 200 [mm^2
15 $/\text{min}]$ 程度までの加工速度しか得られず、加工速度を向上することができない。

- 一方、上述したスイッチング素子 $S1a$, $S1b$, $S2a$, $S2b$ を第 1 図に示すスイッチング素子 1 (FET1) で構成した場合には、このスイッチング素子 1 (FET1) は高速応答の素子であるので、放電開始電流 $IWE0$ が流れて極間電流が継続している間に放電加工電流 $IWE1$ をできるだけ早く印加することができ、
20 上記のような問題は起こらない。しかし、スイッチング素子 1 (FET1) のみの回路では、素子の電流容量が少ないため、そのまま大電流の放電加工電流 $IWE1$ を出力するにはかなり多数の素子を並列に構成する必要がある。また、大電流を必要とする高速加工領域では、スイッチング素子の ON 抵抗が大きく最大電流容量
25 が小さい。そのため、特性 37 に示すように発熱量が大きくなり、素子の冷却にコストがかかるという問題がある。

これに対し、この発明では、上述したようにスイッチング素子 $S1a$, $S1b$,

S 2 a, S 2 b を異なる特性のスイッチング素子で構成する。例えば、第 1 図に示すスイッチング素子 1 (F E T 1) とスイッチング素子 4 (I G B T) とを組み合わせ使用するようにした。その結果、上記した問題が解決され、少ないスイッチング素子数で特性 3 8 に示すように高速応答かつ大電流低損失な放電加工電源装置を実現することができる。

なお、特性 3 9 は、従来例で説明した第 1 図のスイッチング素子 2 (F E T 2) を使用した回路構成における加工速度と発熱量との関係を示すが、この発明によって得られる特性 3 8 との比較から、この発明では、 $300 \text{ mm}^2/\text{min}$ の加工速度時での発熱量が約 $2/3$ と大幅に低減できたことが解る。

このように、実施の形態 1 によれば、放電加工における予備放電から加工電流投入までの遅延時間の期間中、極間に形成された導電路を消滅させることなく安定的に維持し続け得るようにしたので、加工電流投入失敗による加工効率の低下が防止できる。電極線の不要な断線も抑制することができる。そたがって、加工効率や加工速度を向上させることができる。

また、予備放電から滑らかに加工電流を投入することができるので、加工面の荒れを抑制し、加工精度や加工品質を向上させることができる。さらに、スイッチング応答時間の比較的低速な大容量素子も使用できるようになったので、素子数が低減できる。その結果、電源装置自体も小型化が図れ、安価に提供できる。加えて、単一のスイッチング回路では実現できない大電流かつ高周波スイッチング動作が両立可能となるので、太線ワイヤ電極を使用した高速加工が可能となる。実施の形態 2.

第 1 0 図は、この発明の実施の形態 2 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第 1 0 図では、実施の形態 1 (第 6 図) に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態 2 に関わる部分を中心に説明する。

すなわち、この実施の形態 2 による電源制御回路は、実施の形態 1 (第 1 図) に示した放電加工用電源装置におけるスイッチング素子 S 1 a, S 1 b, S 2 a,

S 2 b を駆動制御する回路である。この実施の形態 2 では、スイッチング素子 S 1 a, S 1 b と、スイッチング素子 S 2 a, S 2 b との特性関係として、実施の形態 1 と同様に速度差が大きくても良いが、その速度差が小さい場合でも適用できるようになっている。

- 5 構成要素は、第 10 図に示すように、実施の形態 1 (第 6 図) に示した構成を全て持っている。異なる点は、ドライブ回路 6 a, 6 b の入力パルス信号が、放電検出回路 3 が出力する開始指令パルス信号 P K に変更されていることである。なお、説明の便宜から、ドライブ回路 6 a, 6 b からスイッチング素子 S 2 a, S 2 b に与える駆動パルス信号には、実施の形態 1 (第 6 図) と同様の表記 P D 10 2 を用いている。

- 次に、第 10 図～第 12 図を参照して、実施の形態 2 による放電加工用電源装置の動作について説明する。なお、第 11 図は、第 10 図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図である。第 12 図は、第 10 図に示す電源制御回路によって動作する放電加工用電源装置の各部の動作波形を示す図である。

- 第 10 図、第 11 図において、極間に図示していない別の電源装置からある極間電圧 VWE を印加し、極間が放電できる状態にする。これによって回路中の浮遊容量 C 1 によるコンデンサ放電が発生し、放電開始電流 IWE0 が極間に現れる。極間電圧 VWE は急激に低下し、放電開始時刻 t 0 から時間 t k 経過後に最低の放電電圧 V a で安定する (第 11 図 (1)) 。

- 放電検出回路 3 は、極間電圧 VWE が基準電圧 2 1 よりも低くなることをコンパレータ 2 1 によって検出して極間に放電が発生したことを検知すると、その検知した時点 (放電開始時刻 t 0) から遅延時間 t k 後に発振制御回路 4 とドライブ回路 6 a, 6 b とに発振開始指令パルス信号 P K を出力する。発振開始指令パルス信号 P K は、極間電圧 VWE が消滅するまでの間出力される (第 11 図 (2)) 。

発振制御回路 4 は、発振開始指令パルス信号 P K を受けて、極間の加工状態によって予め設定されているパルス幅の制御パルス信号 P C を遅延時間 t c 後にド

ライブ回路 5 a, 5 b に出力する (第 11 図 (3))。

これによって、ドライブ回路 5 a, 5 b は、遅延時間 $t_k + t_c + t_d$ 後に所定パルス幅を持つ駆動パルス信号 PD 1 をスイッチング素子 S 1 a, S 1 b に出力しオン駆動する (第 11 図 (4))。スイッチング素子 S 1 a, S 1 b は、遅延時間 t_{s1} 後に、一定期間 t_1 (on) だけオン動作状態になる (第 11 図 (5))。スイッチング素子 S 1 a, S 1 b を流れる電流 IWE1 は、浮遊インダクタンス L 1, L 2 を通って極間に現れるので、一定期間 t_1 (on) 内、ある傾きを持って上昇を続け、一定期間 t_1 (on) の終了と同時に下降に転ずる (第 11 図 (8))。

一方、ドライブ回路 6 a, 6 b は、遅延時間 $t_k + t_d$ 後に所定パルス幅を持つ駆動パルス信号 PD 2 をスイッチング素子 S 2 a, S 2 b に出力しオン駆動する (第 11 図 (6))。スイッチング素子 S 2 a, S 2 b は、遅延時間 t_{s2} 後に、一定期間 t_2 (on) だけオン動作状態になる (第 11 図 (7))。スイッチング素子 S 2 a, S 2 b を流れる電流 IWE2 は、浮遊インダクタンス L 1, L 2 を通って極間に現れるので、一定期間 t_2 (on) 内、ある傾きを持って上昇を続け、一定期間 t_2 (on) の終了と同時に下降に転ずる (第 11 図 (8))。

駆動パルス信号 PD 1, PD 2 のパルス幅は、実施の形態 1 と同様に、 $PD1 > PD2$ となっている (第 11 図 (4) (6))。駆動パルス信号 PD 1 のパルス幅は、発振制御回路 4 が出力する制御パルス信号 PC のパルス幅と同じパルス幅を持っているが、終了時刻は外部から変更設定できる。一方、駆動パルス信号 PD 1 のパルス幅は、その役割から固定値を用いてよい。

また、スイッチング素子 S 1 a, S 1 b の遅延時間 t_{s1} と、スイッチング素子 S 2 a, S 2 b の遅延時間 t_{s2} とは、実施の形態 1 と同様に、 $t_{s1} > t_{s2}$ となっている (第 11 図 (5) (7))。

この実施の形態 2 では、スイッチング素子 S 2 a, S 2 b は、発振制御回路 4 での遅延時間 t_c を省略したタイミングでオン動作を行うので、スイッチング素子 S 1 a, S 1 b よりも少なくとも遅延時間 t_c の分だけ速くオン動作状態にな

る。したがって、極間には、電流IWE2が電流 IWE1よりも遅延時間 t_c の分だけ速く現れる。

その結果、第11図(8)に示すように、極間電流IMEとして、最初に時間 t_{r2} ($t_k + t_d + t_{s2} = t_{r2}$) の経過後にスイッチング素子 S_{2a} , S_{2b} を流れる電流IME2が現れ、その後、時間 t_{r1} ($t_k + t_c + t_d + t_{s1} = t_{r1}$) の経過後にスイッチング素子 S_{1a} , S_{1b} を流れる電流IME1が現れることになる。この電流IME2は、従来例で説明した放電維持電流IWE22に対応し、電流IME1は、従来例で説明した大電流の放電加工電流IWE11に対応していることが解る。

そして、スイッチング素子 S_{1a} , S_{1b} がオン動作状態にある期間 (t_{1on}) と、スイッチング素子 S_{2a} , S_{2b} がオン動作状態にある期間 (t_{2on}) との時間位置と大きさを調節することによって、第11図(8)に示すように、放電維持電流IWE2と放電加工電流IWE1とが大きな重なり部分を持つように発生させることができる。

第12図では、以上説明した極間電流IWEに関わる部分の動作波形が抜き出して示されている。実施の形態1(第8図)と同様の特性が得られている。異なる点は、スイッチング素子 S_{2a} , S_{2b} が、スイッチング素子 S_{1a} , S_{1b} よりも少なくとも遅延時間 t_c の分だけ速くオン動作状態になるので、放電維持電流IWE2が極間に現れる遅延時間 t_{r2} が、実施の形態1(第8図)の場合よりも短くなっていることである。

したがって、実施の形態1と同様に、極間電流IWEは、 $IWE = IWE0 + IWE2 + IWE1$ となり、相互の重なり部分が従来例よりも相当に増加している。極間電流IWEが途切れないようにすることができるだけでなく、大きな重なり部分を持つことによって加工エネルギーを増加させることができるので、同一の放電周波数で比較すると加工効率が向上することになる。

ここで、理解を容易にするため、具体的な値を用いて説明する。従来例と同様に、スイッチング素子 S_{1a} , S_{1b} , S_{2a} , S_{2b} を単一特性の素子で構成した場合、放電開始時刻 t_0 から放電加工電流 IWE1が極間に現れるまでの遅延時

間 t_{r1} は、通常 410 ns 程度であり、コンデンサ放電による放電開始電流 I_{WE0} のパルス幅は 360 ns 程度である。したがって、この場合には、極間電流が途切れてしまう可能性のある期間が 50 ns 程度ある。従来例では、この期間は放電維持電流（第2図、第3図の I_{WE22} ）が流れ、極間電流が途切れることを防いでいた。

これに対し、この実施の形態2では、発振制御回路4の遅延時間 t_c は 100 ns 程度であるが、この遅延時間 t_c 分が短縮されるので、放電維持電流 I_{WE2} が極間に現れるまでの遅延時間 t_{r2} は、 $410\text{ ns} - 100\text{ ns} = 310\text{ ns}$ になる。遅延時間 $t_{r2} = 310\text{ ns}$ は、放電開始電流 I_{WE0} を与えるコンデンサ放電のパルス幅 360 ns よりも短い。そのため、放電開始電流 I_{WE0} の発生後、放電加工電流 I_{WE1} が現れるまでの遅延時間の期間中、この放電維持電流 I_{WE2} が流れるので、極間電流が途切れることなく極間の導電路が維持される。このとき、 $t_{r1} - t_{r2} = 410\text{ ns} - 310\text{ ns} = 100\text{ ns}$ であるので、スイッチング素子 S_{2a} 、 S_{2b} をオンさせる一定時間 $t_{2(on)}$ は、放電維持電流 I_{WE2} のパルス幅が 150 ns 程度以上になるように設定しておけば充分である。

ところで、この実施の形態2では、スイッチング素子 S_{2a} 、 S_{2b} は、スイッチング素子 S_{1a} 、 S_{1b} と同じ電気的特性の素子を用いても良いが、電気的特性の異なる素子を用いるとより効果的である。例えば、スイッチング素子 S_{1a} 、 S_{1b} に第1図の FET_2 を用い、スイッチング素子 S_{2a} 、 S_{2b} に第1図の FET_1 を用いた場合、スイッチング素子 S_{1a} 、 S_{1b} の遅延時間 t_{s1} は、 $t_{s1} = 172\text{ ns}$ となり、スイッチング素子 S_{2a} 、 S_{2b} の遅延時間 t_{s2} は、 $t_{s2} = 75\text{ ns}$ となる。

第10図に示した回路では、上述したようにスイッチング素子 S_{2a} 、 S_{2b} はスイッチング素子 S_{1a} 、 S_{1b} よりも遅延時間 t_c 分速くオンするが、この場合は、さらに $t_{s1} - t_{s2} = 172\text{ ns} - 75\text{ ns} = 97\text{ ns}$ 速くオンすることができる。スイッチング素子 S_{2a} 、 S_{2b} のオン時間 $t_{2(on)}$ は、予め設定された一定の時間であるが、放電加工電流 I_{WE1} を流すスイッチング素子 S_1

a, S1bのオン時間 $t_{1(on)}$ ほど長くする必要はない。

具体的には、スイッチング素子S1a, S1bのオン時間 $t_{1(on)}$ は、最大では1500ns程度にもなるが、スイッチング素子S2a, S2bのオン時間 $t_{2(on)}$ は150ns程度で良い。また、出力電流のピーク値は、オン時間に
5 比例するため、放電維持電流IWE2のピーク値は、放電加工電流IWE1の最大ピーク値よりも格段に低くできるので、スイッチング素子S2a, S2bの電流容量は、スイッチング素子S1a, S1bの電流容量よりも小さくて良い。

したがって、スイッチング素子S2a, S2bには、第1図のFET1のように電流容量が小さくてもより高速応答のスイッチング素子を用いることができる。
10 スwitchング素子S1a, S1bは、逆にスイッチング応答時間の遅い素子を用いることができ、その応答時間は、スイッチング素子S2a, S2bによって放電開始電流IWE0と放電加工電流IWE1との遅延時間の期間中、極間の導電路を維持することができる範囲であれば良い。

また、第1図に示すように、一般的に同じ定格電圧でも電流容量の小さいスイッチング素子の方がゲート入力容量が小さくなる傾向にある。つまり、駆動に必要な電力も少なくて済むようになってくる。そのため、スイッチング素子S2a, S2bの駆動は、放電検出回路3の出力信号（開始指令パルス信号）PKで直接
15 行っても良い。この場合には、ドライブ回路6a, 6bは削除するので、ドライブ回路6a, 6bでの遅延時間 t_d の分も短縮できることになる。

20 さらに、スイッチング素子S1a, S1bをオフしたままスイッチング素子S2a, S2bのみを使用すれば、従来よりもパルス幅の短い電流波形で放電加工することもできる。第1図に示した最小パルス幅で比較すると、FET2では、472nsであるが、FET1のみの使用では210nsまで半減できる。

このように、実施の形態2によれば、実施の形態1と同様の作用効果が得られるのに加えて、使用できるスイッチング素子の選択範囲を広くすることができる。
25 実施の形態3。

第13図は、この発明の実施の形態3である放電加工用電源装置が備える電源

制御回路の構成を示すブロック図である。なお、第10図では、実施の形態2（第10図）に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態3に関わる部分を中心に説明する。

すなわち、この実施の形態3による電源制御回路は、実施の形態1（第1図）
5 に示した放電加工用電源装置におけるスイッチング素子S1a, S1b, S2a, S2bを駆動制御する回路である。構成要素は、第13図に示すように、実施の形態2（第10図）に示した構成に加えて、ドライブ回路7a, 7bと、数値制御装置8と、切替器9とが追加されている。

ドライブ回路7a, 7bの入力信号は、ドライブ回路6a, 6bと同様に、放
10 電検出回路3が出力する開始指令パルス信号PKである。ドライブ回路6aの出力（駆動パルス信号PD2）とドライブ回路7aの出力（駆動パルス信号PD3）が一組として切替器9に入力されている。また、ドライブ回路6bの出力（駆動パルス信号PD2）とドライブ回路7ab出力（駆動パルス信号PD3）が一組として切替器9に入力されている。

15 切替器9は、外部の数値制御装置8からの指示に従って、ドライブ回路6aの出力（駆動パルス信号PD2）とドライブ回路7aの出力（駆動パルス信号PD3）のいずれか一方を選択してスイッチング素子S2aに与え、ドライブ回路6bの出力（駆動パルス信号PD2）とドライブ回路7ab出力（駆動パルス信号PD3）のいずれか一方を選択してスイッチング素子S2bに与えるように動作
20 する。

ここで、ドライブ回路6a, 7aで生成するスイッチング素子S2aをオン駆動する時間は、予め設定されている一定時間であるが、ドライブ回路6aとドライブ回路7aでは、その一定時間が異なった設定になっている。したがって、スイッチング素子S2aのオン駆動についてドライブ回路6aとドライブ回路7a
25 を切替器9によって切り替えることによって、スイッチング素子S2aのオン時間を変更することができる。

これと同様に、ドライブ回路6a, 7aで生成するスイッチング素子S2aを

オン駆動する時間も互いに異なる時間になっている。切替器 9 によってスイッチング素子 S 2 b のオン時間を変更することができる。しかも、切替器 9 は、外部の数値制御装置 8 からの指令により動作するようにしてあるので、数値制御装置 8 によりスイッチング素子 S 2 a, S 2 b のオン時間を可変制御することができる。

そして、第 13 図では、1 つのスイッチング素子に対して 2 つのドライブ回路を設けているが、さらにオン時間の設定が異なる 3 以上のドライブ回路を設けて、スイッチング素子のオン時間を細かく可変できるようにすることができる。

このように、この実施の形態 3 によれば、実施の形態 2 と同様の作用効果が得られるのに加えて、高速動作スイッチング素子の駆動時間を任意に可変制御することができる。

実施の形態 4.

第 14 図は、この発明の実施の形態 4 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第 14 図では、実施の形態 2 (第 10 図) に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態 4 に関わる部分を中心に説明する。

すなわち、この実施の形態 4 による電源制御回路は、実施の形態 1 (第 1 図) に示した放電加工用電源装置におけるスイッチング素子 S 1 a, S 1 b, S 2 a, S 2 b を駆動制御する回路である。この実施の形態 4 では、低損失のスイッチング素子 S 1 a, S 1 b を互いに異なるオン動作時間でもってオン・オフ制御して各種の環流ループを形成する環流ドライブ方式の構成例 (その 1) が示されている。

構成要素としては、第 14 図に示すように、実施の形態 2 (第 10 図) に示した構成において、発振制御回路 4 に代えて発振制御回路 4 a, 4 b が設けられ、それに伴い、数値制御装置 (NC) 8 と、加工電流オン時間設定回路 11 a, 11 b とが追加されている。

放電検出回路 3 の出力 (開始指令パルス信号 P K) は、発振制御回路 4 a, 4

b と、スイッチング素子 S 2 a の駆動回路 6 a (つまり第 10 図に示すドライブ回路 6 a) と、スイッチング素子 S 2 b の駆動回路 6 b (つまり第 10 図に示すドライブ回路 6 b) とに入力されている。

スイッチング素子 S 2 a の駆動回路 6 a (以下単に「駆動回路 6 a」という) は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、スイッチング素子 S 2 a に対しゲート・ドライブ信号 G 2 a を出力する。スイッチング素子 S 2 b の駆動回路 6 b (以下単に「駆動回路 6 b」という) は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、スイッチング素子 S 2 b に対しゲート・ドライブ信号 G 2 b を出力する。

加工電流オン時間設定回路 11 a は、数値制御装置 (NC) 8 の指示に従って加工電流オン時間を設定し、その設定値を発振制御回路 4 a に与える。発振制御回路 4 a は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、加工電流オン時間設定回路 11 a が指定した加工電流オン時間をパルス幅とする制御パルス信号 P 1 を発生し、スイッチング素子 S 1 a の駆動回路 5 a (つまり第 10 図に示すドライブ回路 5 a) に与える。スイッチング素子 S 1 a の駆動回路 5 a (以下単に「駆動回路 5 a」という) は、スイッチング素子 S 1 a に対しゲート・ドライブ信号 G 1 a を出力する。

また、加工電流オン時間設定回路 11 b は、数値制御装置 (NC) 8 の指示に従って加工電流オン時間設定回路 11 a とは異なる値の加工電流オン時間を設定し、その設定値を発振制御回路 4 b に与える。発振制御回路 4 b は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、加工電流オン時間設定回路 11 b が指定した加工電流オン時間をパルス幅とする制御パルス信号 P 2 を発生し、スイッチング素子 S 1 b の駆動回路 5 b (つまり第 10 図に示すドライブ回路 5 b) に与える。スイッチング素子 S 1 b の駆動回路 5 b (以下単に「駆動回路 5 b」という) は、スイッチング素子 S 1 b に対しゲート・ドライブ信号 G 1 b を出力する。

ここでは、制御パルス信号 P 1, P 2 のパルス幅は、 $P 1 < P 2$ となっている

が、動作中に、 $P1 < P2$ の場合と $P1 > P2$ の場合とが入れ替わるようになっている。

次に、第14図～第16図を参照して、実施の形態4による放電加工用電源装置の動作について説明する。なお、第15図は、第14図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図である。第16図は、第14図に示す電源制御回路が出力するゲートドライブ信号と放電加工用電源装置における極間電流との関係を説明する図である。

第14図、第15図において、極間が放電開始できる状態となったとき、加工電流オン時間設定回路11aにて設定された加工電流オン時間をパルス幅とする制御パルス信号P1が発振制御回路4aから駆動回路5aに出力される。駆動回路5aは、入力された制御パルス信号P1のパルス幅分だけスイッチング素子S1aをオン駆動する。一方、同時に、加工電流オン時間設定回路11bにて設定された加工電流オン時間をパルス幅とする制御パルス信号P2が発振制御回路4bから駆動回路5bに出力される。

このとき、制御パルス信号P2のパルス幅は、制御パルス信号P1よりも微少時間 Δt だけ長く設定してある。すなわち、 $P2 = P1 + \Delta t$ としてある。駆動回路5bは、入力された制御パルス信号P2のパルス幅分だけスイッチング素子S1bをオン駆動するので、スイッチング素子S1bは、スイッチング素子S1aよりも微少時間 Δt だけ長い時間オン動作状態になる。但し、制御パルス信号P1、P2の立ち上りのタイミングは、同時であるので、駆動回路5a、5bの出力によって駆動されるスイッチング素子S1a、S1bは同時にオン動作を行う。

スイッチング素子S1a、S1bが同時にオン動作を行うことによって、放電加工電流IWEは、第15図に示すループ1の経路にて極間に流れる。このとき、放電加工電流IWEは、時間の経過に比例して、VGをスイッチング素子のゲート電位とすると、 $(V1 - VG) / (L1 + L2)$ の傾きを持って上昇していく。その過程で、制御パルス信号P2は、高レベルを維持し制御パルス信号P1のみが低レベ

ルになる。駆動回路 5 a は、制御パルス信号 P 1 が低レベルになるので、スイッチング素子 S 1 a をオフ状態にする。一方、パルス信号 P 2 は高レベルを維持し続けているので、駆動回路 5 b は、スイッチング素子 S 1 b のオン動作状態を維持し続けている。

- 5 上昇を続けていた放電加工電流 IWE は、スイッチング素子 S 1 a がオフしたことによって直流電源 V 1 からの供給を断たれて下降に転じるが、回路中の浮遊インダクタンス L 1, L 2 の誘導作用により、第 15 図に示すループ 2 A の経路を $-V_G / (L_1 + L_2)$ の傾きを持って流れ続けようとする。この過程で、制御パルス信号 P 2 が低レベルになるので、駆動回路 5 b は、スイッチング素子 S 1 b を
10 オフ状態にする。

- ここで、回路中の浮遊インダクタンス L 1, L 2 の誘導エネルギーが消滅する前に制御パルス信号 P 2 が低レベルになっていれば、 $-V_G / (L_1 + L_2)$ の傾きを持って下降している残存した放電加工電流 IWE は、第 15 図に示すループ 3 の経路を流れ、 $-(V_1 + V_G) / (L_1 + L_2)$ の傾きを持って急峻に直流電源 V 1
15 へと帰還し、回生される。この結果、放電加工電流 IWE は第 15 図に示すような台形波となる。以上が、 $P_2 = P_1 + \Delta t$ での動作（パターン 1 の動作）である。

- このような台形波形では、パルス幅を微少時間 Δt だけ延長した分、スイッチング素子 S 1 b での定常損失が増大することになるが、実施の形態 2 と同様にスイッチング素子 S 2 a, S 2 b が高速動作を行うので、スイッチング素子 S 1 a,
20 S 1 b には IGBT 等の素子を使用できる。そのため、損失を最小限に留めることができる。IGBT には、一般に、MOS-FET 等に構造的に存在するオン抵抗がないため、定常状態（オン状態）での損失が少なく、パルス幅延長による損失増大が効果的に抑制できる。また、微少時間 Δt の延長期間中にはスイッチング素子 S 2 a, S 2 b は既にオフ状態になっているため、高速応答の MOS-FET
25 を使用していても微少時間 Δt の延長による損失の増大は発生しない。

また、上記の動作説明では、 $P_2 = P_1 + \Delta t$ としているが、動作中に制御パルス信号 P 1, P 2 の関係を入れ替えて、 $P_1 = P_2 + \Delta t$ となるよう交互に発

振制御をしても良い。この場合には、上記の動作説明における微少時間 Δt の期間中のスイッチング素子 S_{2a} , S_{2b} のオン、オフの動作が逆転し、第 15 図に示すループ 2 A で示した経路がループ 2 B の経路になるだけで、同じ様に第 15 図示す台形波が得られる。以上が、 $P_1 = P_2 + \Delta t$ での動作（パターン 2 の動作）である。

第 16 図において、(1) は、ゲート・ドライブ信号 G_1 を示している。
(2) は、ゲート・ドライブ信号 G_2 を示している。(3) は、極間電流 I_{WE} を示している。図中、左側のゲート・ドライブ信号 G_1 , G_2 の関係が $P_2 = P_1 + \Delta t$ (パターン 1) の場合である。右側のゲート・ドライブ信号 G_1 , G_2 の関係が $P_1 = P_2 + \Delta t$ (パターン 2) の場合である。極間信号 I_{WE} としては、どちらも同様波形の台形波になっている。

このような台形波形で還流ループの経路を固定している場合、スイッチング素子 S_{1a} , S_{1b} では、スイッチング損失と定常損失の割合に差が生じるため、損失のバランスが不均衡となる。しかし、スイッチング素子 S_{1a} , S_{1b} のそれぞれに個別に発振制御回路と加工電流オン時間設定回路とを備えたため、還流ループを交互に切り替えることができ、スイッチング素子の負荷電流による損失を集中させずにバランスよく分配させることができる。

この実施の形態 4 によれば、環流ドライブ方式を採用したので、間欠放電 1 パルス当たりの投入エネルギーを大きくすることができ、大電流を必要とする太線ワイヤ電極を用いた放電加工が可能となる。

実施の形態 5.

第 17 図は、この発明の実施の形態 5 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第 17 図では、実施の形態 4 (第 14 図) に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態 5 に関わる部分を中心に説明する。

すなわち、この実施の形態 5 による電源制御回路は、実施の形態 1 (第 1 図) に示した放電加工用電源装置におけるスイッチング素子 S_{1a} , S_{1b} , S_{2a} ,

S 2 b を駆動制御する回路である。この実施の形態 5 では、低損失のスイッチング素子 S 1 a , S 1 b を互いに異なるオン動作時間でもってオン・オフ制御して各種の環流ループを形成する環流ドライブ方式の構成例（その 2）が示されている。

- 5 構成要素としては、第 17 図に示すように、実施の形態 4（第 14 図）に示した構成において、発振制御回路 4 b と加工電流オン時間設定回路 11 b とを省略し、代わりに、パルス幅延長回路 13 と切替回路 14 とが設けられている。

- 数値制御装置（NC）8 の出力は、発振制御回路 4 a と加工電流オン時間設定回路 11 a とに与えられる他に、パルス幅延長回路 13 と切替回路 14 とにも与
10 えられている。発振制御回路 4 a の出力（制御パルス信号 P 1）は、パルス幅延長回路 13 と切替回路 14 とに与えられている。パルス幅延長回路 13 は、入力された制御パルス信号 P 1 のパルス幅を数値制御装置（NC）8 からの指示に従って延長した制御パルス信号 P 2 を生成し、切替回路 14 に出力する。切替回路 14 は、入力される制御パルス信号 P 1 , P 2 の出力先（スイッチング素子 S 1
15 a , S 1 b）を数値制御装置（NC）8 からの指示に従って切り替えるようになっている。

つまり、発生する制御パルス信号 P 1 , P 2 は、パルス幅が常に $P 1 < P 2$ の関係にあるが、切替器 14 の作用によって実質的に実施の形態 4 と同様の動作が行えるようになっている。

- 20 次に、第 17 図を参照して、実施の形態 5 による放電加工用電源装置の動作について説明する。第 17 図において、極間が放電開始できる状態となったとき、加工電流オン時間設定回路 11 a にて設定された加工電流オン時間をパルス幅とする制御パルス信号 P 1 が発振制御回路 4 a からパルス幅延長回路 13 と切替回路 14 とに出力される。

- 25 延長回路 13 は、数値制御装置 8 からの指令値によって発振制御回路 4 a から出力された制御パルス信号 P 1 のパルス幅を延長した制御パルス信号 P 2 を切替回路 14 に出力する。切替回路 14 は、数値制御装置 8 からの指令に従って、入

力された制御パルス信号P 1, P 2それぞれの出力先を駆動回路5 a, 5 bのどちらかに切り替えて出力する。例えば、制御パルス信号P 1は、駆動回路5 aに出力し、制御パルス信号P 2は、駆動回路5 bに出力したとする。

5 駆動回路5 aは、入力された制御パルス信号P 1のパルス幅分だけ、スイッチング素子S 1 aをオン駆動する。一方、同時に駆動回路5 bは、入力された制御パルス信号P 2のパルス幅分だけ、スイッチング素子S 1 bをオン駆動する。このとき、延長回路1 3による制御パルス信号P 1の延長時間を Δt とすると、制御パルス信号P 1と制御パルス信号P 2との関係は、実施の形態4にて説明したのと同様に、 $P 2 = P 1 + \Delta t$ となる。

10 この場合、スイッチング素子S 1 bがスイッチング素子S 1 aよりも延長時間 Δt だけ長い時間オン動作状態になるが、切替回路1 4によって駆動回路5 a, 5 bに出力する制御パルス信号P 1, P 2の関係を逆転することによって、スイッチング素子S 1 aをスイッチング素子S 1 bよりも延長時間 Δt だけ長い時間オン動作状態にすることもできる。なお、実施の形態4にて説明したように、この延長時間 Δt は、数値制御装置8の指令によって任意に可変制御することができることは言うまでもない。

15 このように、実施の形態5によれば、パルス幅延長回路1 3を設けたので、実施の形態4（第1 4図）にて示した加工電流オン時間設定回路1 1 bと発振制御回路4 bとを削除することができ、簡素な構成で実施の形態4と同様の作用効果が得られる。

20 実施の形態6.

第1 8図は、この発明の実施の形態6である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第1 8図では、実施の形態4（第1 4図）に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態6に関わる部分を中心に説明する。

すなわち、この実施の形態5による電源制御回路は、実施の形態1（第1図）に示した放電加工用電源装置におけるスイッチング素子S 1 a, S 1 b, S 2 a,

S 2 b を駆動制御する回路である。この実施の形態 6 では、低損失のスイッチング素子 S 1 a, S 1 b を互いに異なるオン動作時間をもってオン・オフ制御して各種の環流ループを形成する環流ドライブ方式の構成例（その 3）が示されている。

- 5 構成要素としては、第 18 図に示すように、実施の形態 4（第 14 図）に示した構成において、加工電流オン時間設定回路 12 a, 12 b が追加されている。

数値制御装置（NC）8 の出力は、発振制御回路 4 a, 4 b と加工電流オン時間設定回路 11 a, 11 b とに与えられる他に、加工電流オン時間設定回路 12 a, 12 b にも与えられている。

- 10 加工電流オン時間設定回路 12 a は、数値制御装置（NC）8 の指示に従って加工電流オン時間を設定し、その設定値を駆動回路 6 a に出力する。駆動回路 6 a は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、加工電流オン時間設定回路 12 a が指定した加工電流オン時間をパルス幅とするゲート・ドライブ信号 G 2 a を発生し、スイッチング素子 S 2 a をオン駆動する。
- 15

- 加工電流オン時間設定回路 12 b は、数値制御装置（NC）8 の指示に従って加工電流オン時間設定回路 12 a とは異なる値の加工電流オン時間を設定し、その設定値を駆動回路 6 b に出力する。駆動回路 6 b は、放電検出回路 3 から開始指令パルス信号 P K が入力されると、それに応答して、加工電流オン時間設定回路 12 b が指定した加工電流オン時間をパルス幅とするゲート・ドライブ信号 G 2 b を発生し、スイッチング素子 S 2 b をオン駆動する。
- 20

- この構成によれば、スイッチング素子 S 2 a, S 2 b に対する駆動回路 6 a, 6 b にも個別に加工電流オン時間設定回路 12 a, 12 b をそれぞれ設けたので、実施の形態 4 にて説明した低損失側の環流ドライブに加えて、高速動作側において環流ドライブが可能である。すなわち、スイッチング素子 S 1 a, S 1 b をオフ動作状態にしたままスイッチング素子 S 2 a, S 2 b のみを使用する場合に、
- 25
- スイッチング素子 S 2 a, S 2 b のオン時間を変えて素子の負荷バランスを採る

ことができる。その結果、高速動作側のスイッチング素子のみを使用する場合でも、ある程度出力電流エネルギーが調節可能となり、放電電流許容値の小さいφ 0. 2 mm以下の細線ワイヤ使用時や、大電流を投入できない仕上加工時においても加工電流エネルギーを適切に調整できる。

- 5 なお、加工電流オン時間設定回路 1 2 a, 1 2 b による駆動回路 6 a, 6 b に対するオン時間設定によって、ドライブ応答動作に遅延が生じることはない。この実施の形態 6 では、実施の形態 4 への適用例を示したが、実施の形態 5 にも同様に適用できることは言うまでもない。

実施の形態 7.

- 10 第 1 9 図は、この発明の実施の形態 7 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第 1 9 図では、実施の形態 4 (第 1 4 図) に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態 7 に関わる部分を中心に説明する。

- すなわち、この実施の形態 7 による電源制御回路は、実施の形態 1 (第 1 図) に示した放電加工用電源装置におけるスイッチング素子 S 1 a, S 1 b, S 2 a, S 2 b を駆動制御する回路である。この実施の形態 7 では、放電開始時の放電状態 (正常放電、即放電、短絡) に応じて極間に供給する電流パルスを、電流ピーク
- 15 の大きいものと小さいものとに切り替える場合の構成例 (その 1) が示されている。

- 20 第 1 9 図に示すように、接続関係は第 1 4 図に示した接続関係とは異なる部分があるが、構成要素としては、実施の形態 4 (第 1 4 図) に示した構成において、放電状態判別回路 1 5 と電流パルス選択回路 1 6 とが追加されている。

- 第 1 9 図において、放電検出回路 3 の出力は、発振制御回路 4 a, 4 b に与えられるとともに、放電状態判別回路 1 5 にも与えられている。放電状態判別回路
- 25 1 5 の出力は、電流パルス選択回路 1 6 に与えられ、電流パルス選択回路 1 6 の出力は、発振制御回路 4 a, 4 b に与えられている。発振制御回路 4 a, 4 b、数値制御装置 8 と、加工電流オン時間設定回路 1 1 a, 1 1 b との接続関係は、

第14図で示した構成と同様であるが、発振制御回路4bの出力（制御パルス信号P2）は、駆動回路5a, 5bに与えられ、発振制御回路4aの出力（制御パルス信号P1）は、駆動回路6a, 6bに与えられている。実施の形態4（第14図）にて説明したように、発振制御回路4bは、パルス幅の広い制御パルス信号BPを発生し、発振制御回路4aは、パルス幅の狭い制御パルス信号SPを発生する。

放電状態判別回路15は、放電検出回路3が検出した予備放電の情報を処理することによって極間の放電状態が、大電流を印加する正常放電状態であるか、繰り返す周波数が高くなる即放電状態もしくは短絡状態であるかを判別する。電流パルス選択回路16は、放電状態判別回路15の判別結果を受けて、発振制御回路4a, 4bのどちらに発振指令を出力するかを選択する。具体的には、電流パルス選択回路16は、放電状態判別回路15の判別結果が、正常放電状態を示すときは、発振制御回路4bに発振指令を出力し、即放電状態もしくは短絡状態を示すときは、発振制御回路4aに発振指令を出力するようになっている。

次に、第19図、第20図を参照して、実施の形態7による放電加工用電源装置の動作について説明する。なお、第20図は、第19図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図である。ここで、第20図において、 t_d は、無負荷時間である。（1）は、放電状態判別回路15が正常放電状態、即放電状態、短絡状態の各状態の判別を行う電圧波形の例である。ここでは、無負荷時間 t_d の長さに応じて判別する例が示されている。（2）は、スイッチング素子S2a, S2bの駆動する制御パルス信号SPの発生タイミングを示している。（3）は、スイッチング素子S1a, S1bの駆動する制御パルス信号BPの発生タイミングを示している。（4）は、極間に供給される電流パルスの波形を示している。

まず、加工電流オン時間設定回路11a, 11bには、それぞれ数値制御装置8を通じ、ワイヤ放電加工の加工条件の1パラメータとして予め制御パルス信号SP, BPのパルス幅が設定されている。前述したように、制御パルス信号SP,

B Pのパルス幅は、 $B P > S P$ という関係で設定されている。これは、加工速度やワイヤ断線防止の観点から定められる。

放電状態判別回路 1 5 は、放電検出回路 3 が検出した予備放電の間隔が広く、無負荷時間 t_d が $t_d > 1 \mu s \sim 2 \mu s$ 程度と長い場合は、正常放電が発生した
5 と判定する。一方、放電状態判別回路 1 5 は、放電検出回路 3 が検出した予備放電の間隔が狭く、無負荷時間が $t_d < 1 \mu s \sim 2 \mu s$ と短い場合は、短絡もしくは即放電が発生したと判断する。

電流パルス選択回路 1 6 は、放電状態判別回路 1 5 の判別結果が即放電状態もしくは短絡状態を示すときは、発振制御回路 4 a に発振指令を出力する。その結果、パルス幅の狭い制御パルス信号 S P によって高速動作のスイッチング素子
10 S 2 a, S 2 b を駆動するゲート・ドライブ信号 G 2 a, G 2 b が発生し、スイッチング素子 S 2 a, S 2 b が制御パルス信号 S P のパルス幅内オン動作を行い、即放電状態もしくは短絡状態にある極間に、第 20 図 (4) に示すように、電流ピークの小さい電流パルスが供給される。

また、電流パルス選択回路 1 6 は、放電状態判別回路 1 5 の判別結果が正常放電状態を示すときは、発振制御回路 4 b に発振指令を出力する。その結果、パルス幅の広い制御パルス信号 B P によって低損失動作のスイッチング素子 S 1 a, S 1 b を駆動するゲート・ドライブ信号 G 1 a, G 1 b が発生し、スイッチング
15 素子 S 1 a, S 1 b が制御パルス信号 B P のパルス幅内オン動作を行い、正常放電状態にある極間、第 20 図 (4) に示すように、電流ピークの大きい電流パルスが供給される。

このように、極間には、正常放電が発生した場合には、パルス幅の広い制御パルス信号 B P によって大電流ピークが供給され、短絡もしくは即放電が発生した場合には、パルス幅の狭い制御パルス信号 S P によって小電流ピークが供給され
20 る。このとき、大電流ピーク供給時には、低損失特性に優れるスイッチング素子 S 1 a, S 1 b が選択され、小電流ピーク供給時には高速動作特性に優れるスイッチング素子 S 2 a, S 2 b が選択される。

前述したように、ワイヤ放電加工では、放電周波数の高い状態においては、正常放電の発生比率が $1/3 \sim 1/2$ 程度であるので、放電周波数が 100 kHz であっても、大電流ピークの必要な正常放電の発生周波数は 50 kHz 以下となる。そこで、実施の形態 7 では、極間の放電開始時での放電状態に応じて供給する電流パルスを切り替える場合に、高周波動作に不適である正常放電の発生時には、低損失であるスイッチング素子 $S1a$ 、 $S1b$ を使用して大電流ピークを供給できるようにした。一方、短絡や即放電といった無負荷時間が極端に短く放電サイクルが高いが放電現象的には大電流ピークが印加できない状態においては、高速動作に優れ高周波動作に対応可能なスイッチング素子 $S2a$ 、 $S2b$ を使用して小電流ピークを供給できるようにした。

したがって、大電流かつ高速動作を両立した高速加工が実現可能となる。また特性の異なるスイッチング回路を組み合わせる使用するので、スイッチング素子の数を少なくすることができ、発熱量を少なくすることができる。さらに、低損失側のスイッチング回路の繰り返し周波数を $1/2 \sim 1/3$ に押さえることができるので、より大電流かつ低損失の素子（IGBT 等）が使用可能となる。

実施の形態 8.

第 21 図は、この発明の実施の形態 8 である放電加工用電源装置が備える電源制御回路の構成を示すブロック図である。なお、第 21 図では、実施の形態 7（第 19 図）に示した構成と同一ないしは同等である構成部分には、同一の符号が付されている。ここでは、この実施の形態 7 に関わる部分を中心に説明する。

すなわち、この実施の形態 8 による電源制御回路は、実施の形態 1（第 1 図）に示した放電加工用電源装置におけるスイッチング素子 $S1a$ 、 $S1b$ 、 $S2a$ 、 $S2b$ を駆動制御する回路である。この実施の形態 8 では、放電開始時の放電状態（正常放電、即放電、短絡）に応じて極間に供給する電流パルスを、電流ピークの大きいものと小さいものとに切り替える場合の構成例（その 2）が示されている。

第 21 図に示すように、実施の形態 7（第 19 図）に示した構成において、電

流パルス選択回路 16 に代えて、電流パルス停止回路 17 が設けられている。但し、電流パルス停止回路 17 の出力は、発振制御回路 4b にのみ与えられている。電流パルス停止回路 17 は、放電状態判別回路 15 の判別結果が、即放電状態もしくは短絡状態を示すときは、発振制御回路 4b に発振停止指令を出力するよう
5 になっている。電流パルス停止回路 17 は、放電状態判別回路 15 の判別結果が正常放電の場合には何もしない。

次に、第 21 図、第 22 図を参照して、実施の形態 8 による放電加工用電源装置の動作について説明する。なお、第 22 図は、第 21 図に示す電源制御回路による放電加工用電源装置の動作原理を説明する図である。第 22 図での各項目の内容は、第 20 図にて説明した通りである。
10

放電状態判別回路 15 は、放電検出回路 3 が検出した予備放電の間隔が広く、無負荷時間 t_d が $t_d > 1 \mu s \sim 2 \mu s$ 程度と長い場合は、正常放電が発生したと判定する。一方、放電状態判別回路 15 は、放電検出回路 3 が検出した予備放電の間隔が狭く、無負荷時間が $t_d < 1 \mu s \sim 2 \mu s$ と短い場合は、短絡もしくは
15 は即放電が発生したと判断する。

電流パルス停止回路 17 は、放電状態判別回路 15 の判別結果が、即放電状態もしくは短絡状態を示すときに、発振制御回路 4b に発振停止指令を出力する。したがって、放電検出回路 3 が検出した予備放電の状態が正常放電であるときは、発振制御回路 4a、4b は、実施の形態 4（第 14 図）にて説明したように順次
20 動作するので、低損失のスイッチング素子 S1a、S1b と高速動作に優れるスイッチング素子 S2a、S2b とが順次に駆動される。

一方、放電検出回路 3 が検出した予備放電の状態が即放電状態もしくは短絡状態であるときは、発振制御回路 4a のみが動作し、高速動作に優れるスイッチング素子 S2a、S2b のみが駆動される。

その結果、第 22 図に示すように、極間に正常放電が発生した場合には、制御パルス信号 BP による大電流ピークと制御パルス信号 SP による小電流ピークとが供給される。一方、極間に短絡もしくは即放電が発生した場合には、制御パル
25

ス信号S Pによる小電流ピークが供給される。

- このように、実施の形態8では、極間の放電開始時での放電状態に応じて供給する電流パルスを切り替える場合に、高周波動作に不適である正常放電の発生時には、低損失であるスイッチング素子S 1 a、S 1 bを使用して大電流ピークを
- 5 供給することと、高速応答に優れるスイッチング素子S 2 a、S 2 bを使用して小電流ピークを供給することとを順次を選択するようにした。一方、短絡や即放電といった無負荷時間が極端に短く放電サイクルが高いが放電現象的には大電流ピークが印加できない状態においては、低損失のスイッチング素子S 1 a、S 1 bの動作を停止し、高速動作に優れ高周波動作に対応可能なスイッチング素子S
- 10 2 a、S 2 bのみを使用して小電流ピークを供給できるようにした。

したがって、大電流かつ高速動作を両立した高速加工が実現することに加え、アーク切れのない安定した高速加工が可能となる。また、実施の形態7と同様の作用効果が得られる。

15 産業上の利用可能性

この発明は、大電流で、かつ高速にワイヤ放電加工を行うワイヤ放電加工装置の放電加工用電源装置として用いるのに好適である。

請 求 の 範 囲

1. 電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間に放電パルス電流を供給するスイッチング回路を備える放電加工用電源装置において、

前記極間での放電開始の検出信号に応答して所定パルス幅の制御パルス信号を発生するパルス幅制御手段を備えるとともに、

前記スイッチング回路は、

- 前記制御パルス信号を並列に受ける2つのスイッチング回路であって、高速動作に適したスイッチング素子を含むスイッチング回路と、低速動作に適したスイッチング素子を含むスイッチング回路とで構成される、
ことを特徴とする放電加工用電源装置。

2. 前記スイッチング回路は、

- 前記極間での放電開始の検出信号を受ける第1スイッチング回路と、前記放電開始に応答して発生する所定パルス幅の制御パルス信号を受ける第2スイッチング回路とで構成され、

前記第1スイッチング回路は、高速動作に適したスイッチング素子と低速動作に適したスイッチング素子とのいずれか一方を含むスイッチング回路であり、

- 前記第2スイッチング回路は、低速動作に適したスイッチング素子を含むスイッチング回路である、

ことを特徴とする請求の範囲第1項に記載の放電加工用電源装置。

3. 前記第1スイッチング回路は、高速動作に適したスイッチング素子を含むスイッチング回路である場合には、前記放電開始の検出信号が前記高速動作に適したスイッチング素子の制御端に直接印加されることを特徴とする請求の範囲第2項に記載の放電加工用電源装置。

4. 前記第1スイッチング回路は、
前記放電開始の検出信号を受けてパルス幅が互いに異なる駆動パルス信号を発生する複数の駆動回路と、
- 5 外部からの指令に基づき前記複数の駆動回路のいずれか一つが出力する駆動パルス信号を選択して前記スイッチング素子の制御端に印加する選択回路と、
を備えたことを特徴とする請求の範囲第2項に記載の放電加工用電源装置。
5. 前記スイッチング回路は、
- 10 前記放電開始の検出信号を受ける第1スイッチング回路と、前記制御パルス信号を受ける第2スイッチング回路とで構成され、
前記第1スイッチング回路は、高速動作に適したスイッチング素子を含むスイッチング回路であり、
前記第2スイッチング回路は、低速動作に適したスイッチング素子を含むスイッチング回路であり、
- 15 前記パルス幅制御手段は、前記発生する制御パルス信号のパルス幅を前記第2スイッチング回路において対向するスイッチング素子間で互いに異なる値に制御する、
ことを特徴とする請求の範囲第1項に記載の放電加工用電源装置。
- 20
6. 前記パルス幅制御手段は、
前記対向するスイッチング素子の一方が導通状態になる期間を与える第1パルス幅に設定した制御パルス信号を発生し、前記一方のスイッチング素子の駆動手段に与える第1設定手段と、
- 25 前記対向するスイッチング素子の他方が導通状態になる期間を与える前記第1パルス幅とは異なる値の第2パルス幅に設定した制御パルス信号を発生し、前記他方のスイッチング素子の駆動手段に与える第2設定手段と、

を備えたことを特徴とする請求の範囲第5項に記載の放電加工用電源装置。

7. 前記パルス幅制御手段は、

第1パルス幅に設定した制御パルス信号を発生する設定手段と、

5 前記第1パルス幅を延長した第2パルス幅の制御パルス信号を出力する延長手段と、

外部からの指令に従い前記対向するスイッチング素子それぞれを駆動する駆動手段に対し、それぞれのスイッチング素子を導通状態にするパルス幅を持つ制御パルス信号として、前記第1パルス幅を持つ制御パルス信号と前記第2パルス幅を持つ制御パルス信号とを切り替えて出力する切替手段と、

10

を備えたことを特徴とする請求の範囲第5項に記載の放電加工用電源装置。

8. 前記パルス幅制御手段は、

前記対向するスイッチング素子の一方が導通状態になる期間を与える第1パルス幅に設定した制御パルス信号を発生し、前記一方のスイッチング素子の駆動手段に与える第1設定手段と、

15

前記対向するスイッチング素子の他方が導通状態になる期間を与える前記第1パルス幅とは異なる値の第2パルス幅に設定した制御パルス信号を発生し、前記他方のスイッチング素子の駆動手段に与える第2設定手段と、を備え、さらに、

20

前記第1スイッチング回路において対向するスイッチング素子のそれぞれを導通状態にする期間を与えるパルス幅を設定する第3設定手段を備え、

前記第1スイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、前記放電開始の検出信号を受けて、前記第3設定手段が設定したパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動する、

25

ことを特徴とする請求の範囲第5項に記載の放電加工用電源装置。

9. 前記パルス幅制御手段は、

第1パルス幅に設定した制御パルス信号を発生する第1設定手段と、

前記第1パルス幅を延長した第2パルス幅の制御パルス信号を出力する延長手段と、

5 外部からの指令に従い前記対向するスイッチング素子それぞれを駆動する駆動手段に対し、それぞれのスイッチング素子を導通状態にするパルス幅を持つ制御パルス信号として、前記第1パルス幅を持つ制御パルス信号と前記第2パルス幅を持つ制御パルス信号とを切り替えて出力する切替手段と、を備え、さらに、

10 前記第1スイッチング回路において対向するスイッチング素子のそれぞれを導通状態にする期間を与えるパルス幅を設定する第2設定手段を備え、

前記第1スイッチング回路において対向するスイッチング素子のそれぞれを駆動する駆動手段は、前記放電開始の検出信号を受けて、前記第2設定手段が設定したパルス幅をもつ駆動パルス信号を発生しそれぞれのスイッチング素子を駆動する、

15 ことを特徴とする請求の範囲第5項に記載の放電加工用電源装置。

10. 前記制御パルス信号のパルス幅を放電開始前に外部から変更設定を行う手段を備えたことを特徴とする請求の範囲第1項に記載の放電加工用電源装置。

20 11. 電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間での放電開始に応答して、第1パルス幅の制御パルス信号を発生する第1パルス幅制御手段、および前記第1パルス幅とは異なる値の第2パルス幅の制御パルス信号を発生する第2パルス幅制御手段と、

25 前記第1パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、低速動作に適したスイッチング素子を含む第1スイッチング回路と、

前記第2パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給

するスイッチング回路であって、高速動作に適したスイッチング素子を含む第2スイッチング回路と、

前記極間での放電開始時の放電状態が、正常放電状態と即放電状態と短絡状態とのいずれであるかを判別する放電状態判別手段と、

- 5 前記放電状態判別手段の判別結果が、正常放電状態を示すときは前記第1パルス幅制御手段に出力指示を出し、即放電状態ないしは短絡状態を示すときは前記第2パルス幅制御手段に出力指示を出す電流パルス選択手段と、
を備えたことを特徴とする放電加工用電源装置。

- 10 12. 前記制御パルス信号のパルス幅を放電開始前に外部から変更設定を行う手段を備えたことを特徴とする請求の範囲第11項に記載の放電加工用電源装置。

13. 電極と前記電極に所定間隔を置いて対向配置される他方の電極としての被加工物との間である極間での放電開始に応答して、第1パルス幅の制御パルス信号を発生する第1パルス幅制御手段、および前記第1パルス幅とは異なる値の第2パルス幅の制御パルス信号を発生する第2パルス幅制御手段と、

前記第1パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、低速動作に適したスイッチング素子を含む第1スイッチング回路と、

- 20 前記第2パルス幅の制御パルス信号を受けて前記極間に放電パルス電流を供給するスイッチング回路であって、高速動作に適したスイッチング素子を含む第2スイッチング回路と、

前記極間での放電開始時の放電状態が、正常放電状態と即放電状態と短絡状態とのいずれであるかを判別する放電状態判別手段と、

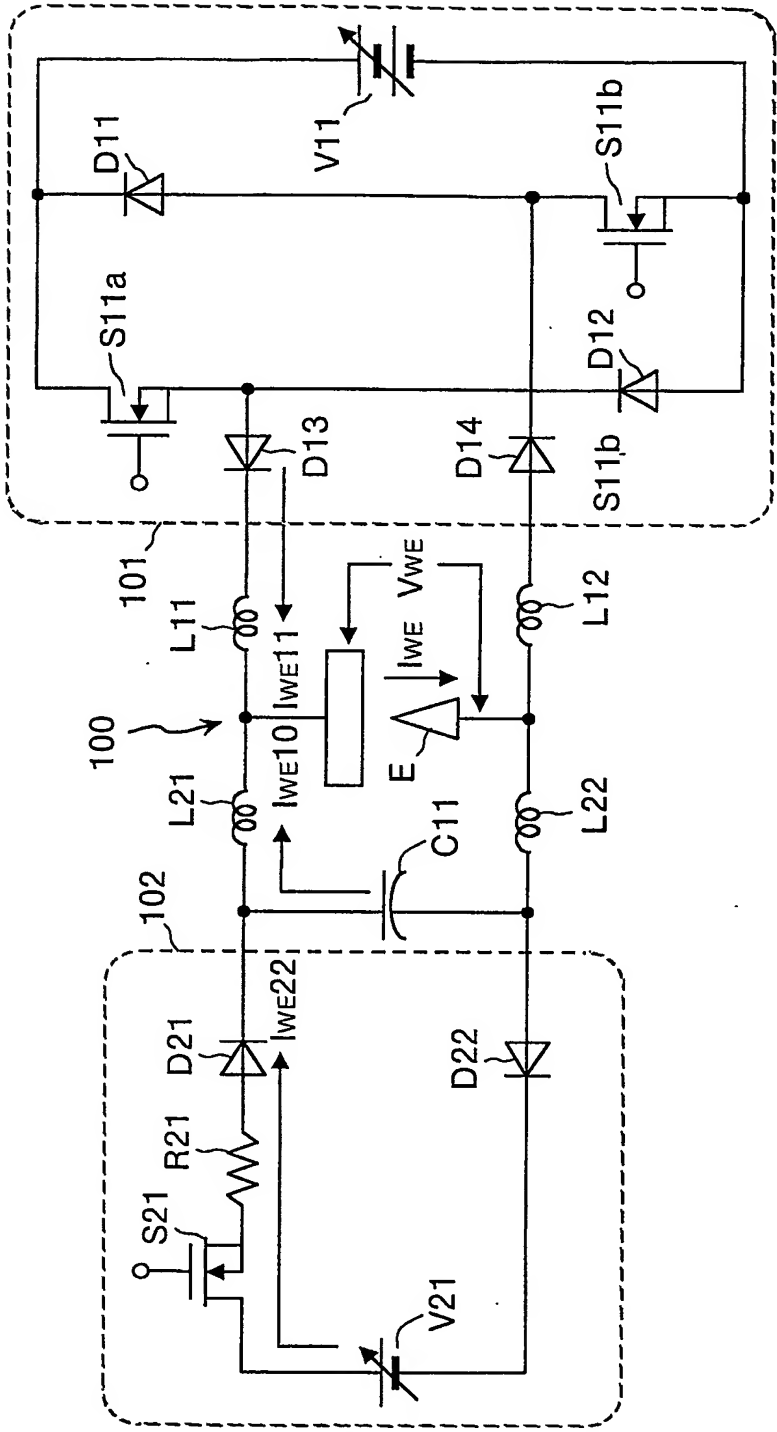
- 25 前記放電状態判別手段の判別結果が即放電状態ないしは短絡状態を示すとき、前記第1パルス幅制御手段に出力停止指示を出す電流パルス停止手段と、
を備えたことを特徴とする放電加工用電源装置。

1 4. 前記制御パルス信号のパルス幅を放電開始前に外部から変更設定を行う手段を備えたことを特徴とする請求の範囲第 1 3 項に記載の放電加工用電源装置。

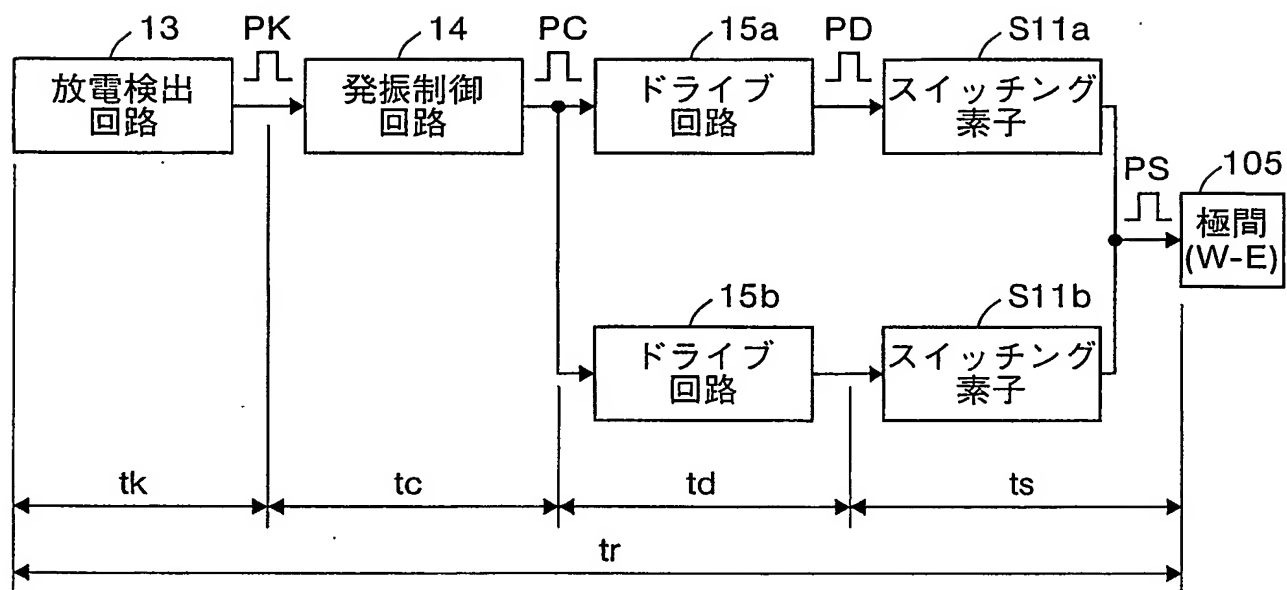
第1図

スイッチング素子(容量)	ゲート入力容量	ターン・オン時間	ターン・オフ時間	最小パルス幅
1 FET1(500V,3A)	330pF	25nS	50nS	77nS
2 FET1(500V,10A)	1050pF	85nS	135nS	210nS
3 FET1(500V,30A)	2800pF	172nS	300nS	472nS
4 FET1(600V,75A)	4100pF	600nS	800nS	1400nS
5 IGBTモジュール (600V,400A)	20000pF	700nS	1100nS	1800nS

第2図



第3図



第4図

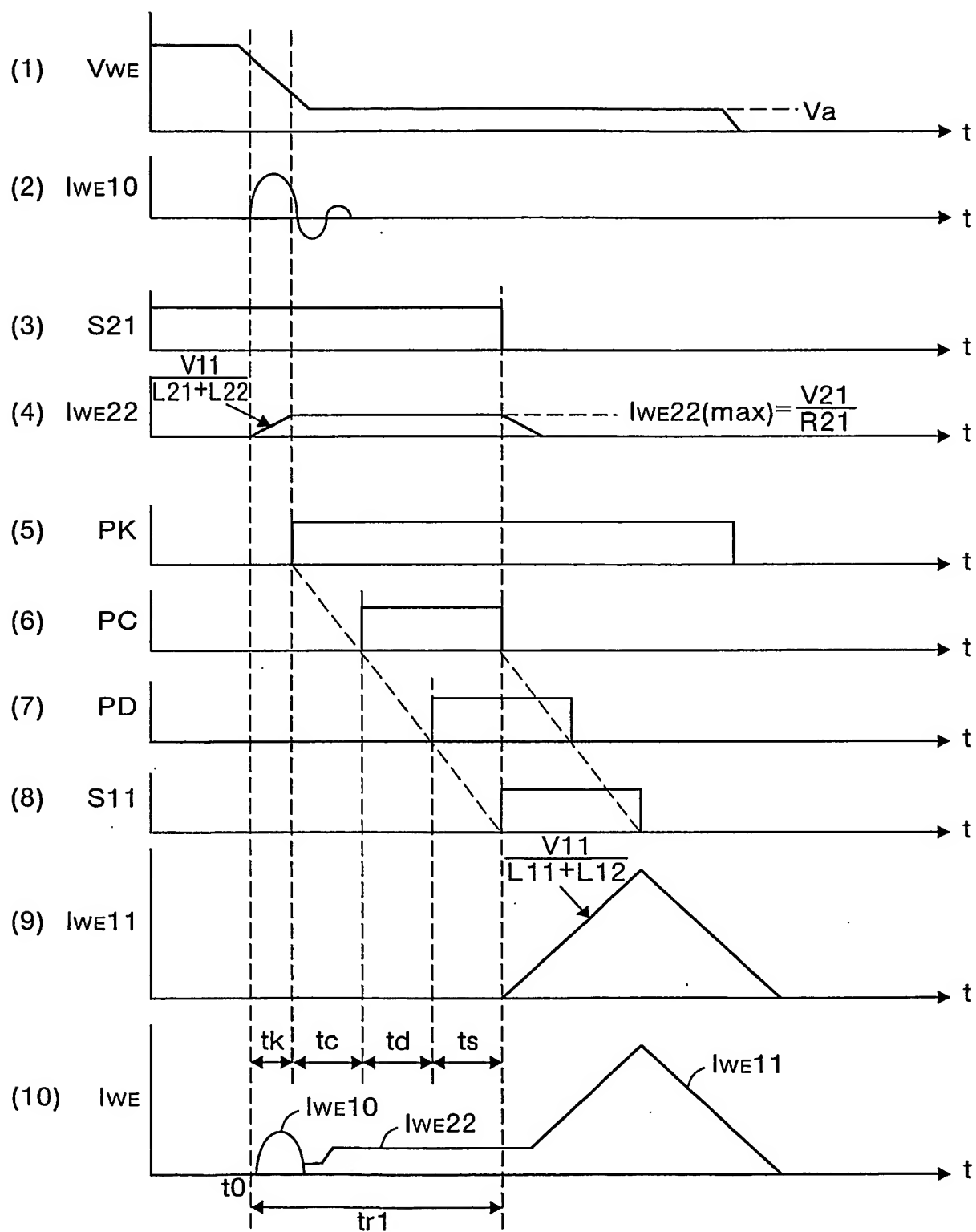
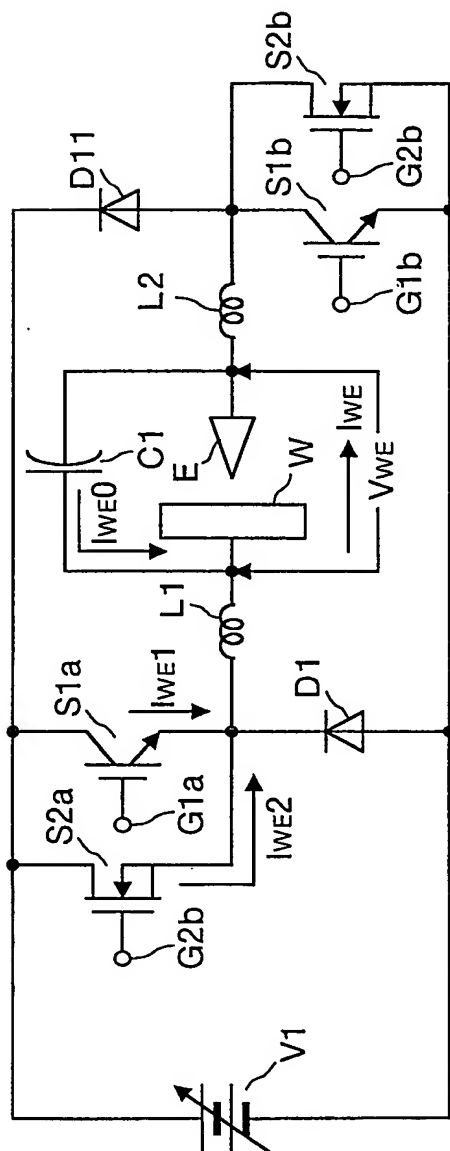
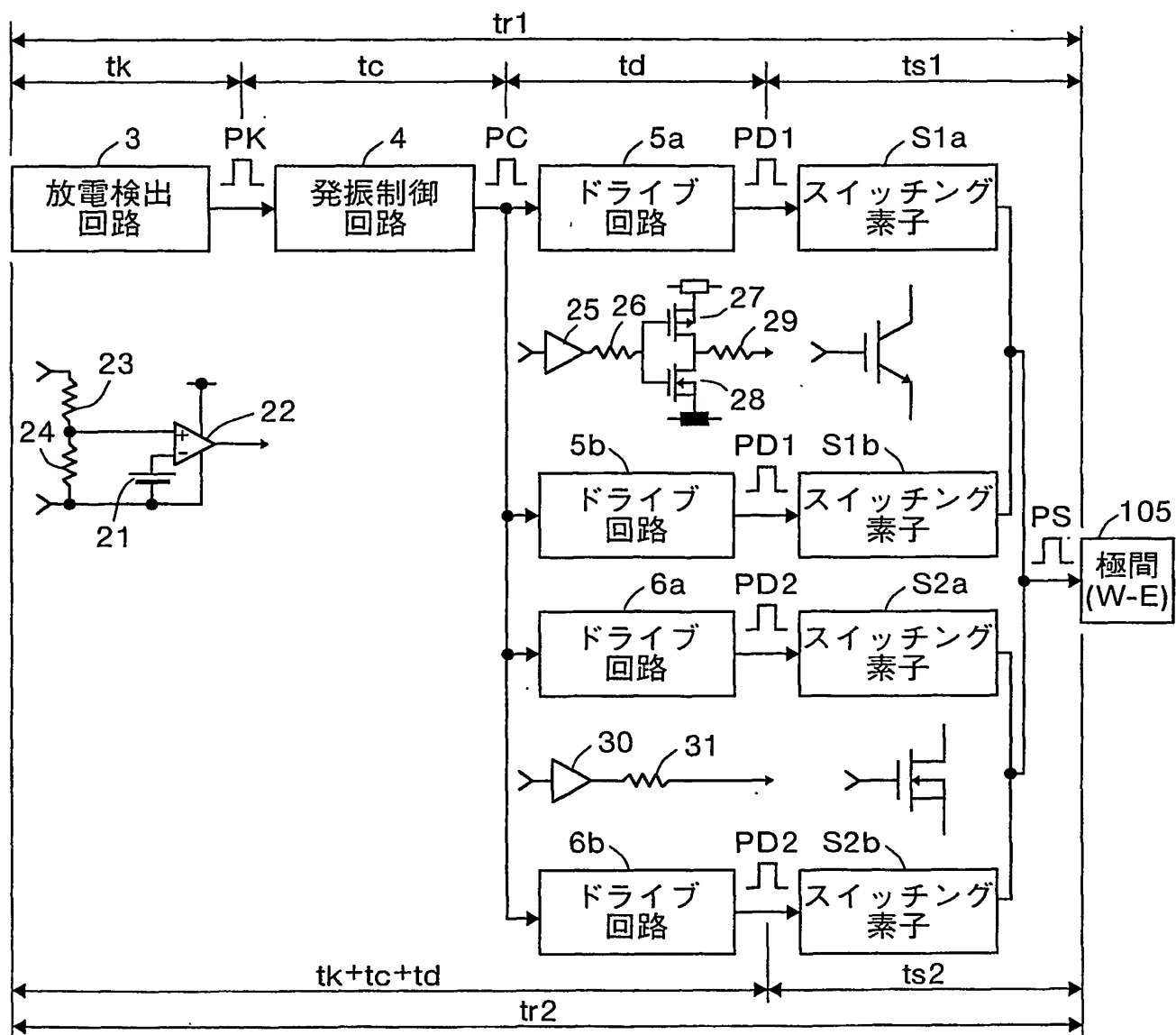


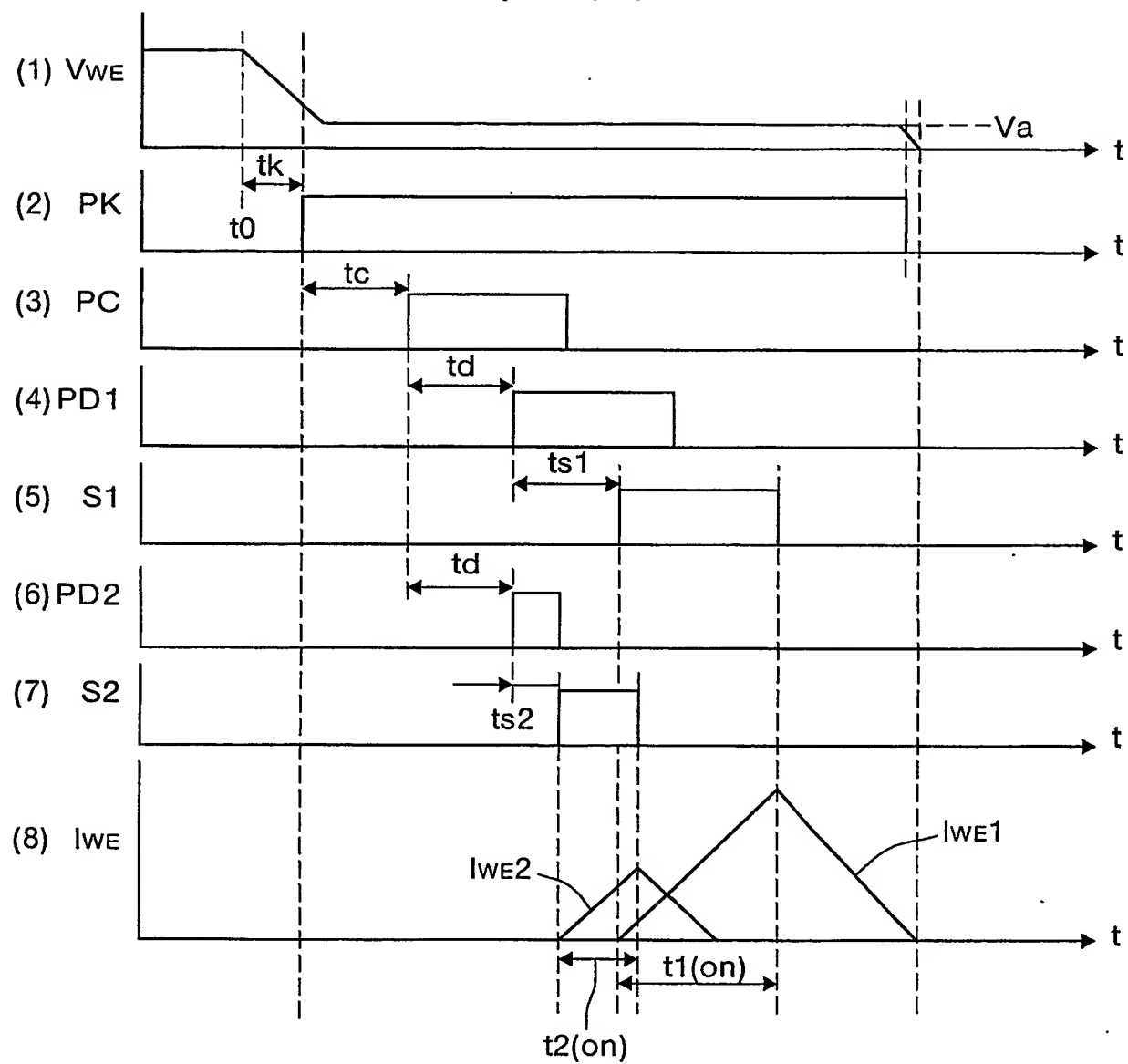
図 5
振



第6図

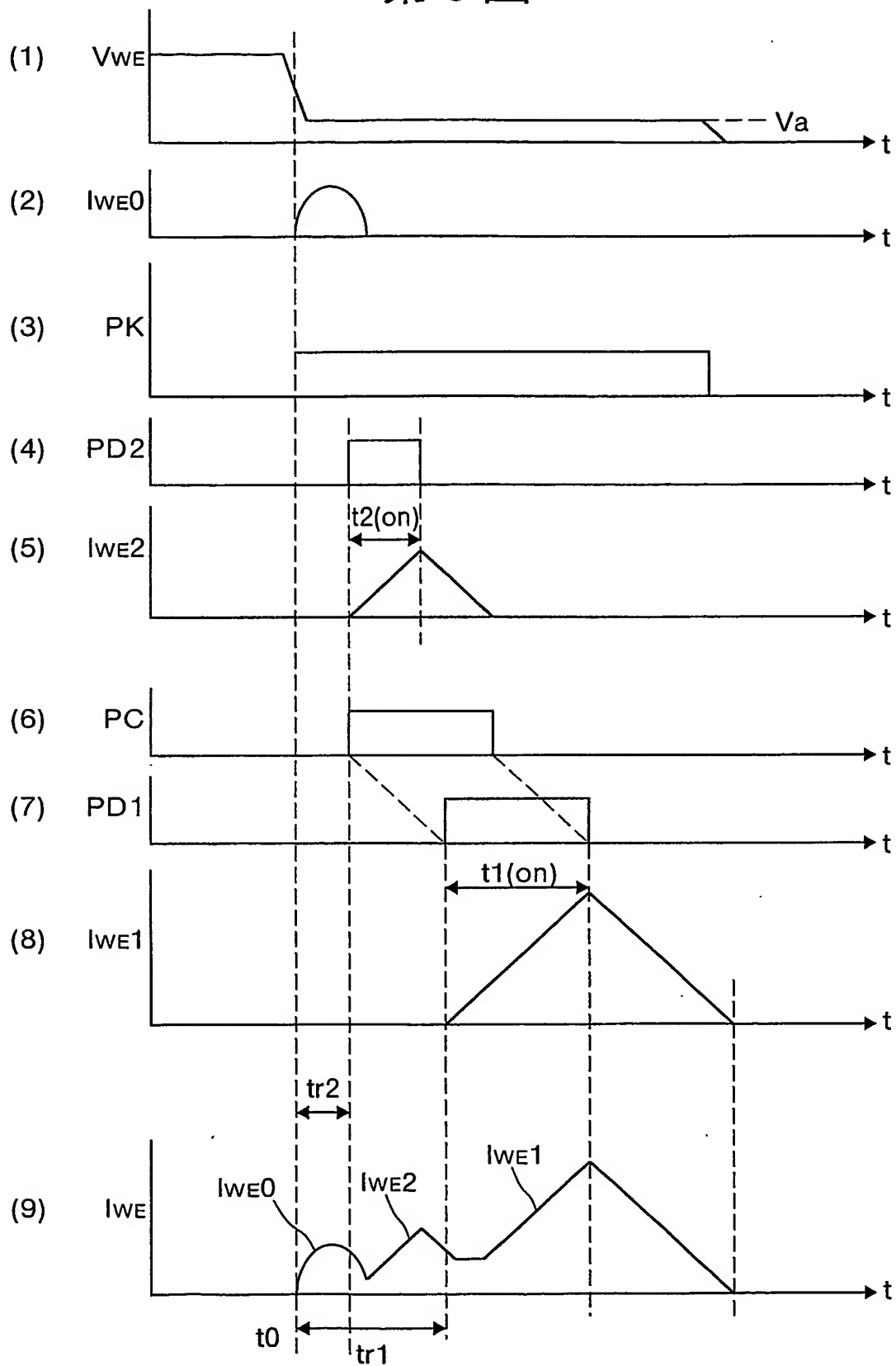


第7図

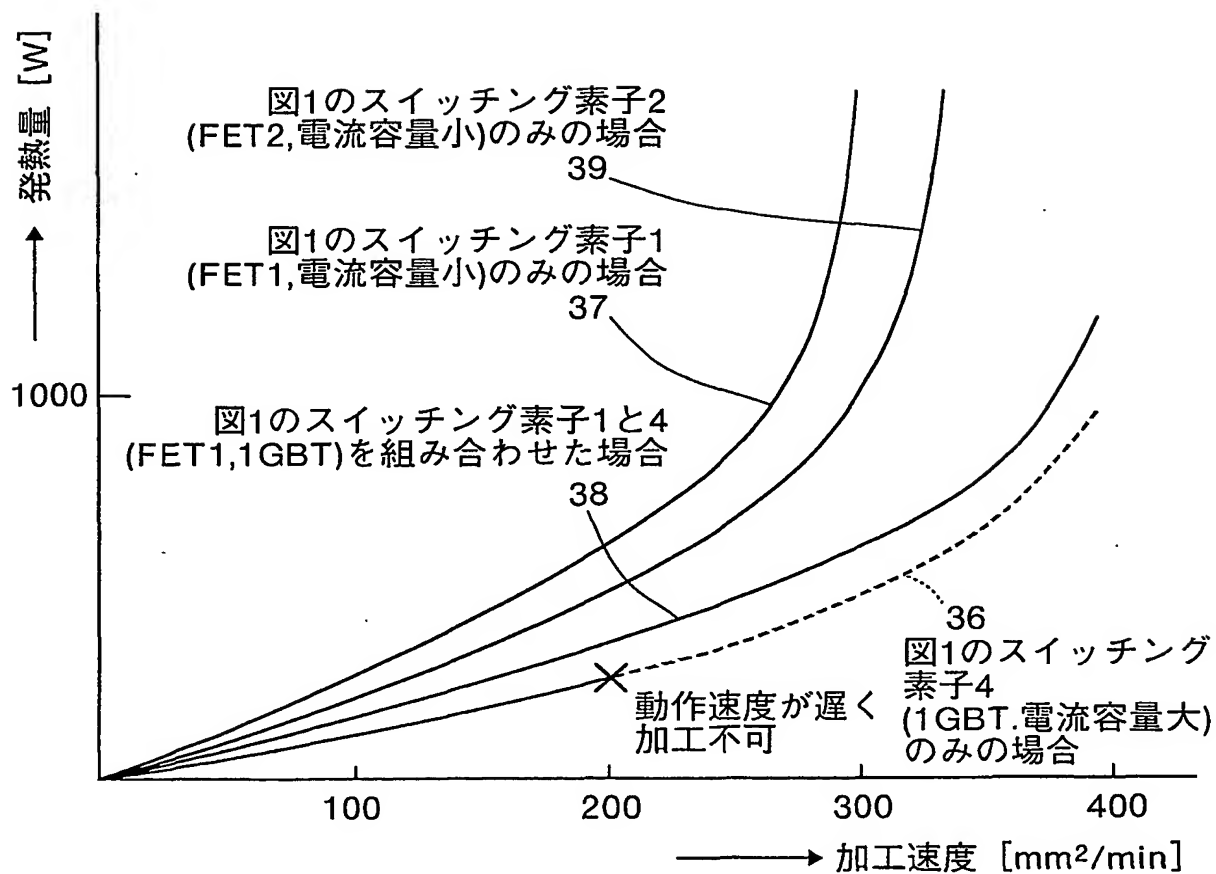


8/22

第 8 図

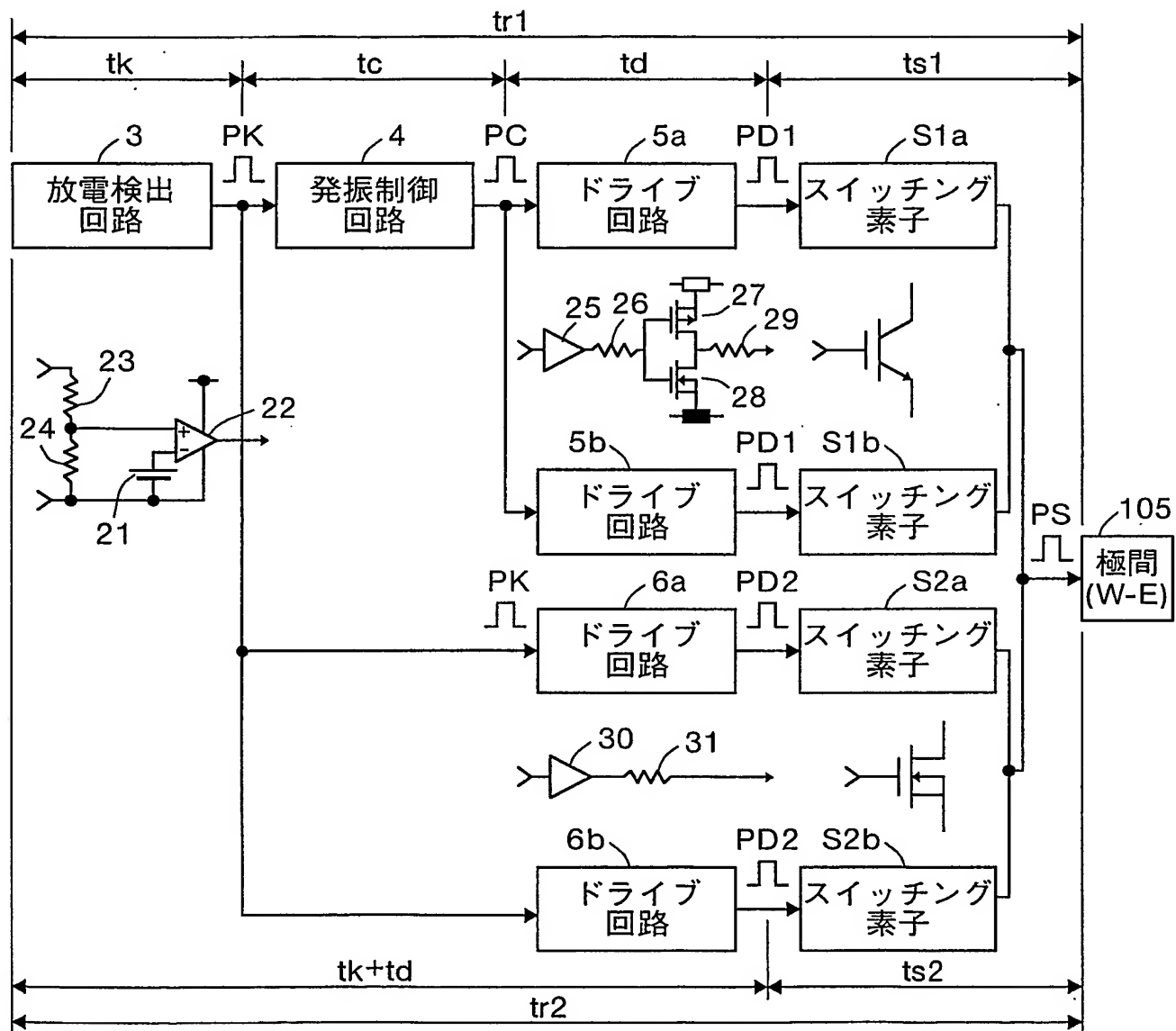


第9図

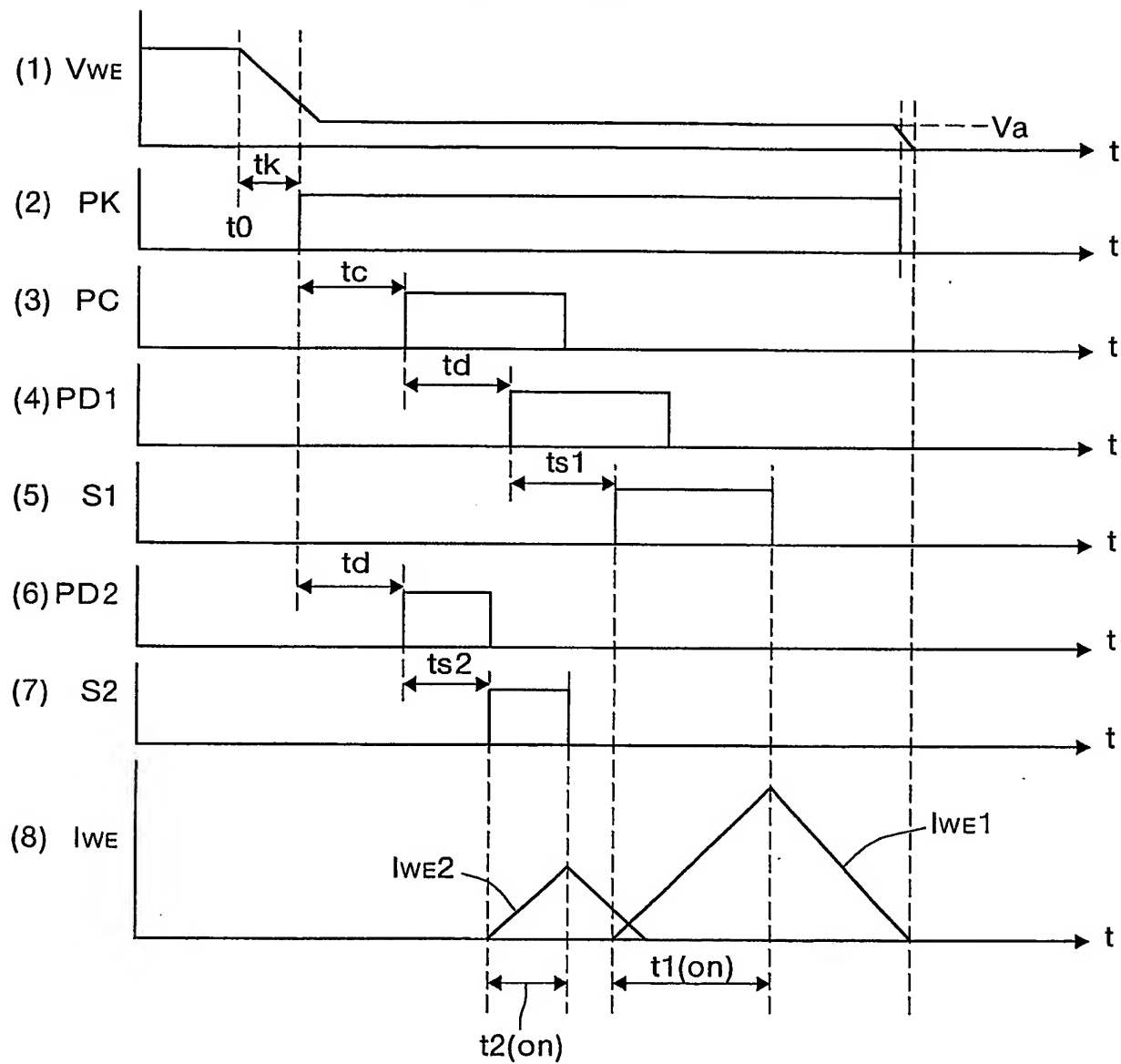


10/22

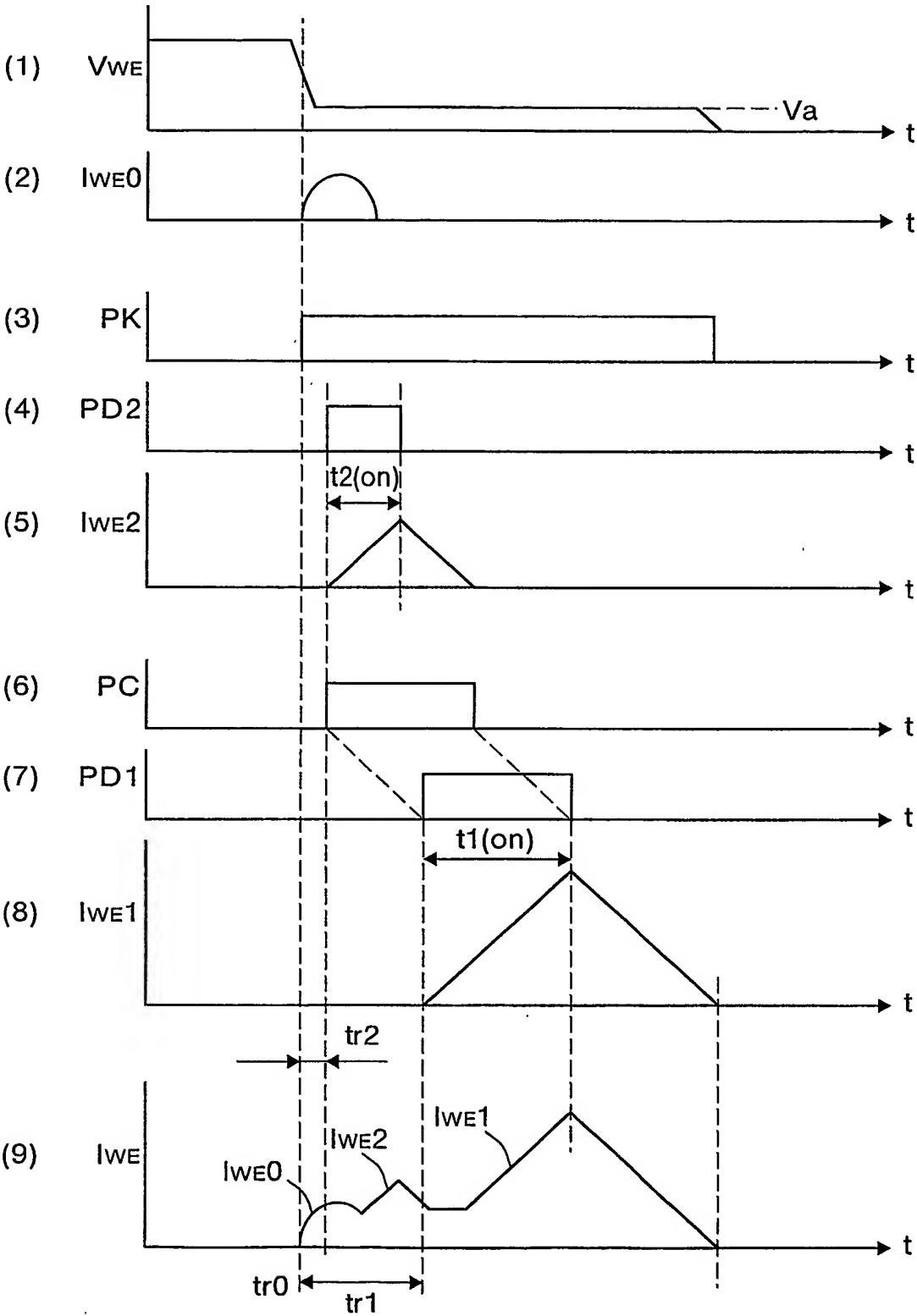
第10図



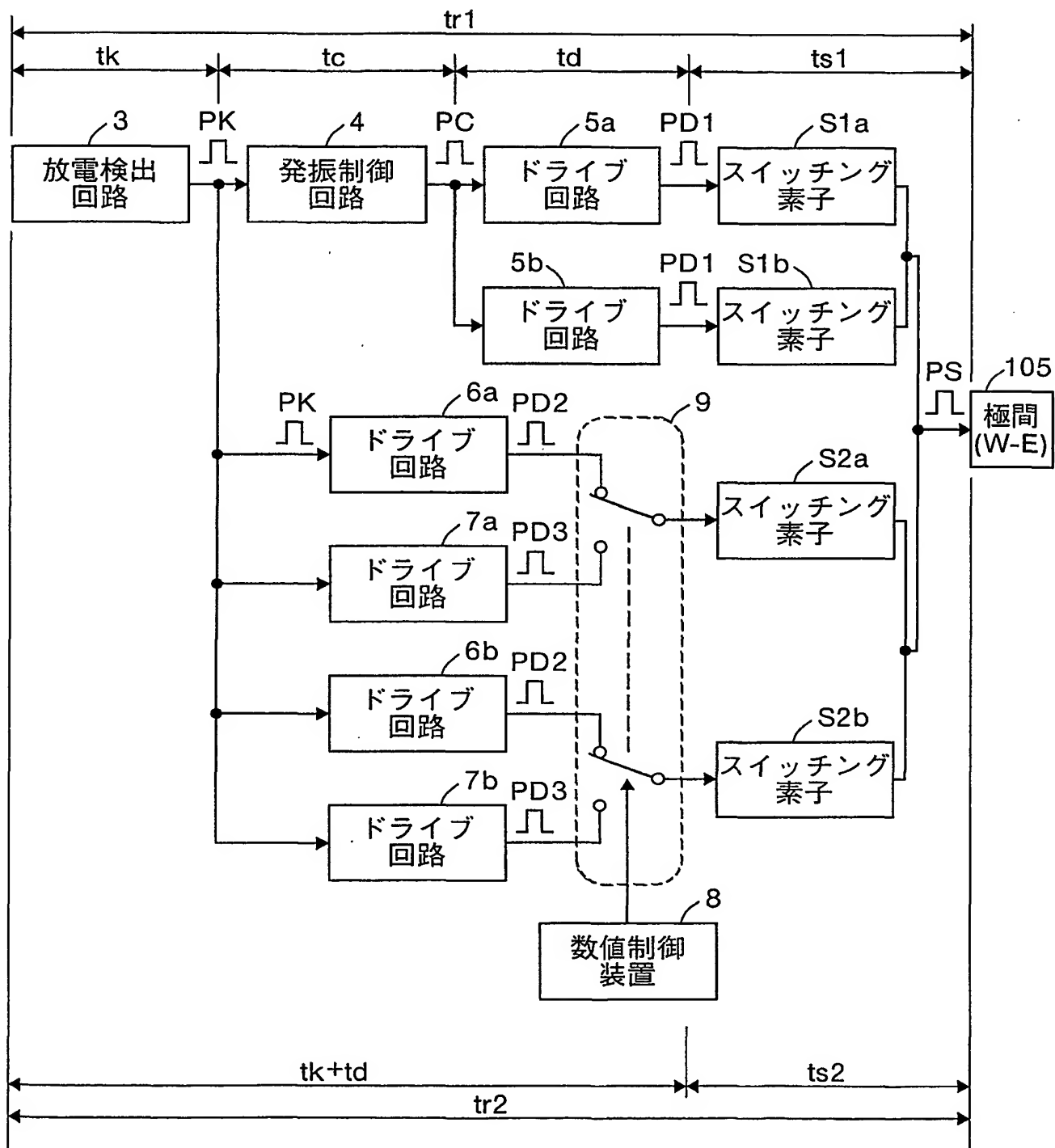
第11図



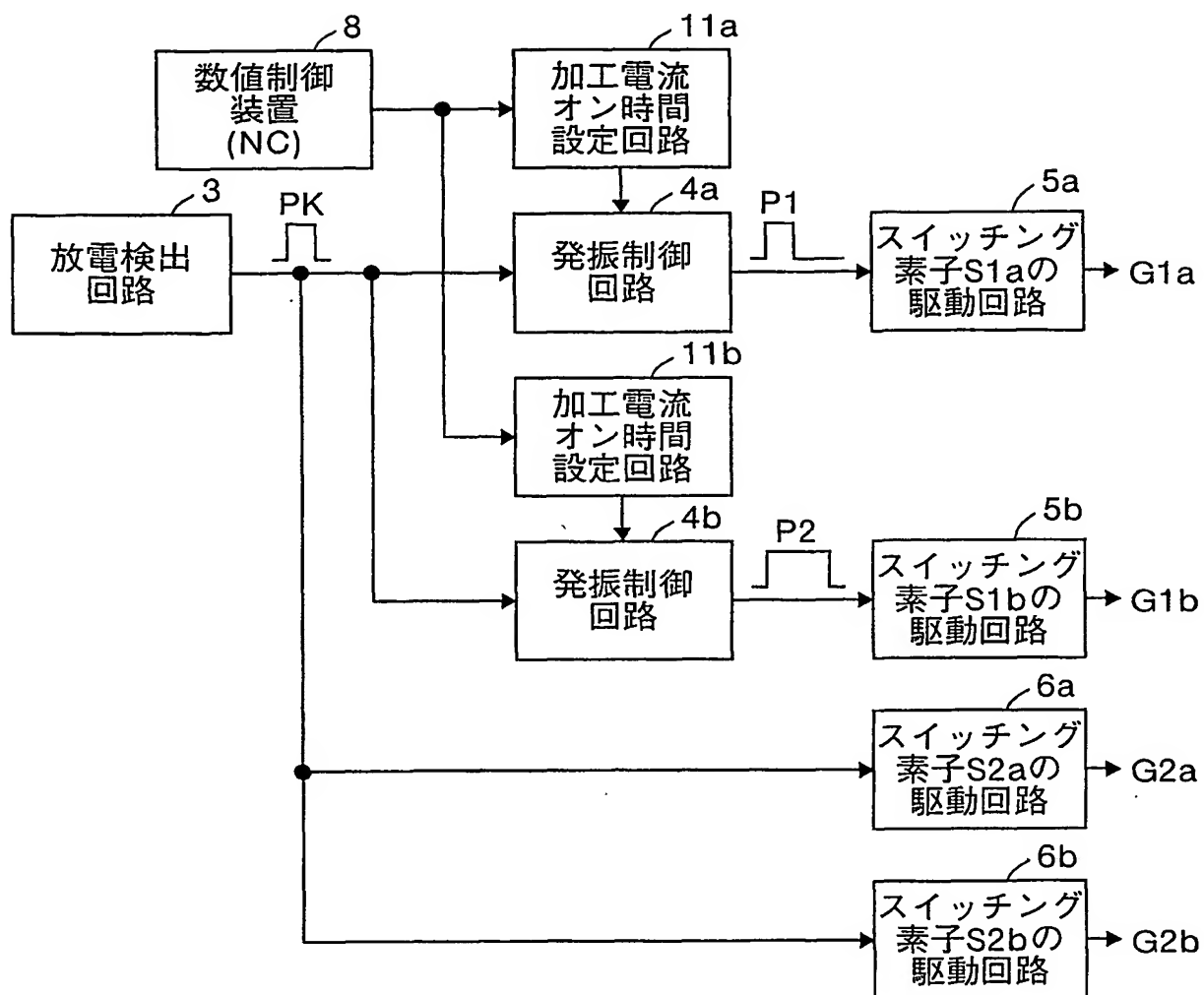
第12図



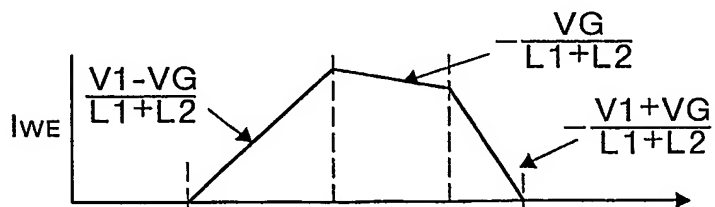
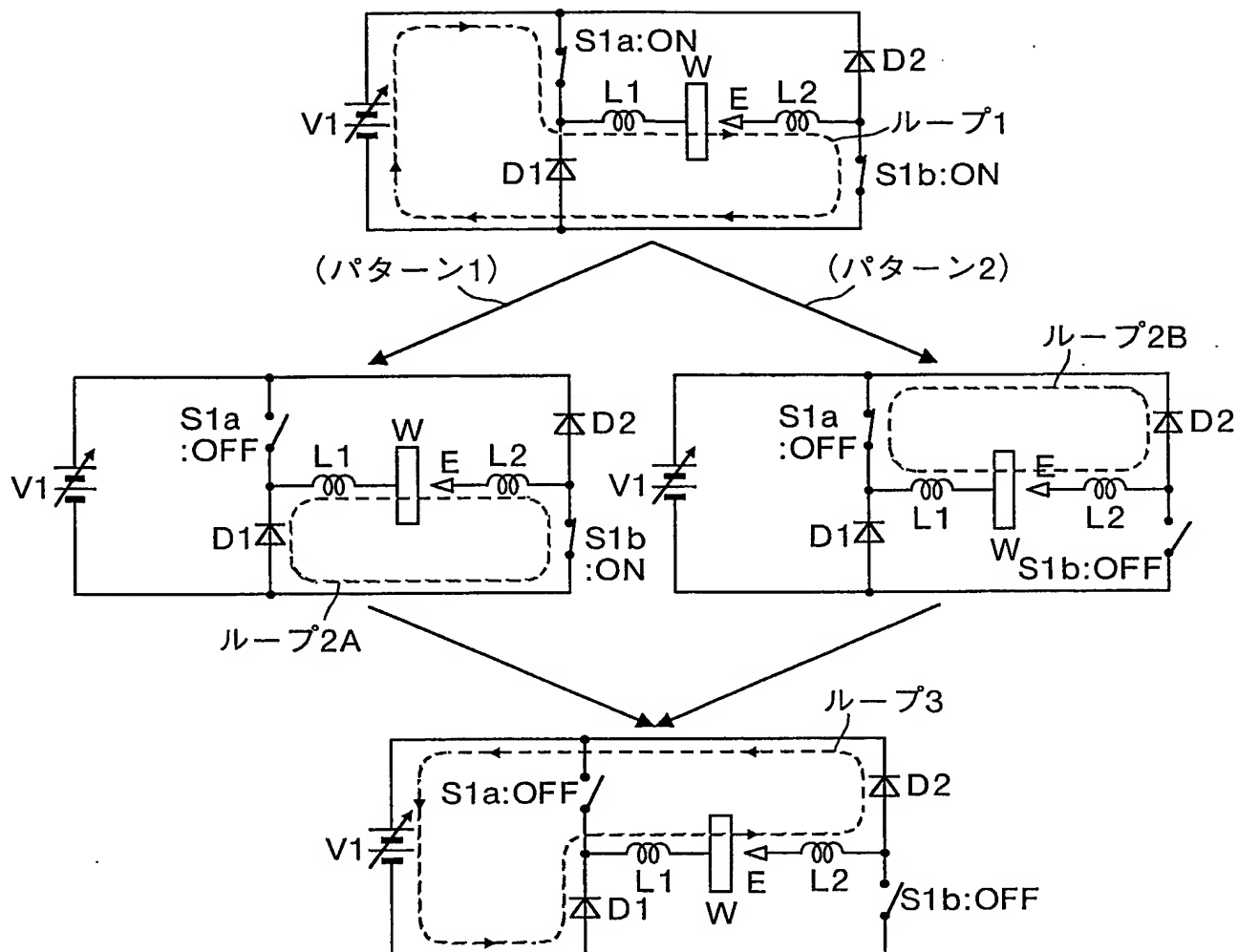
第13図



第14図



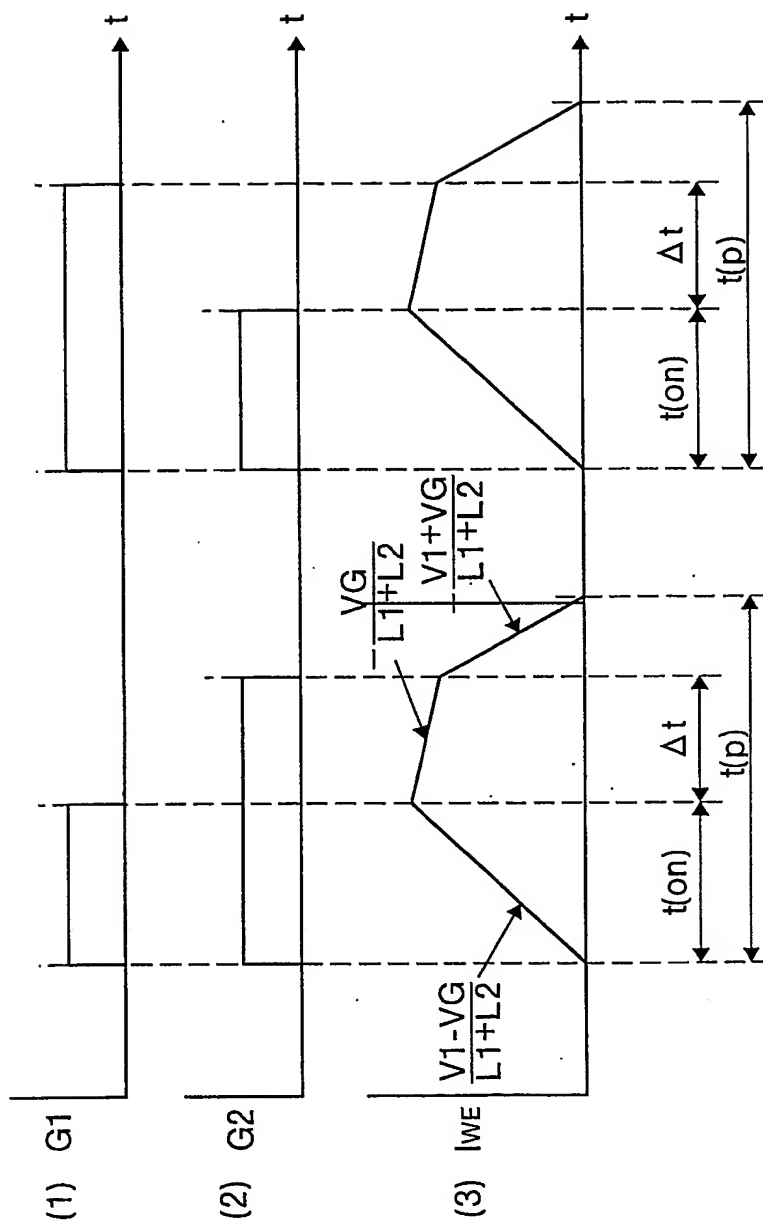
第15図



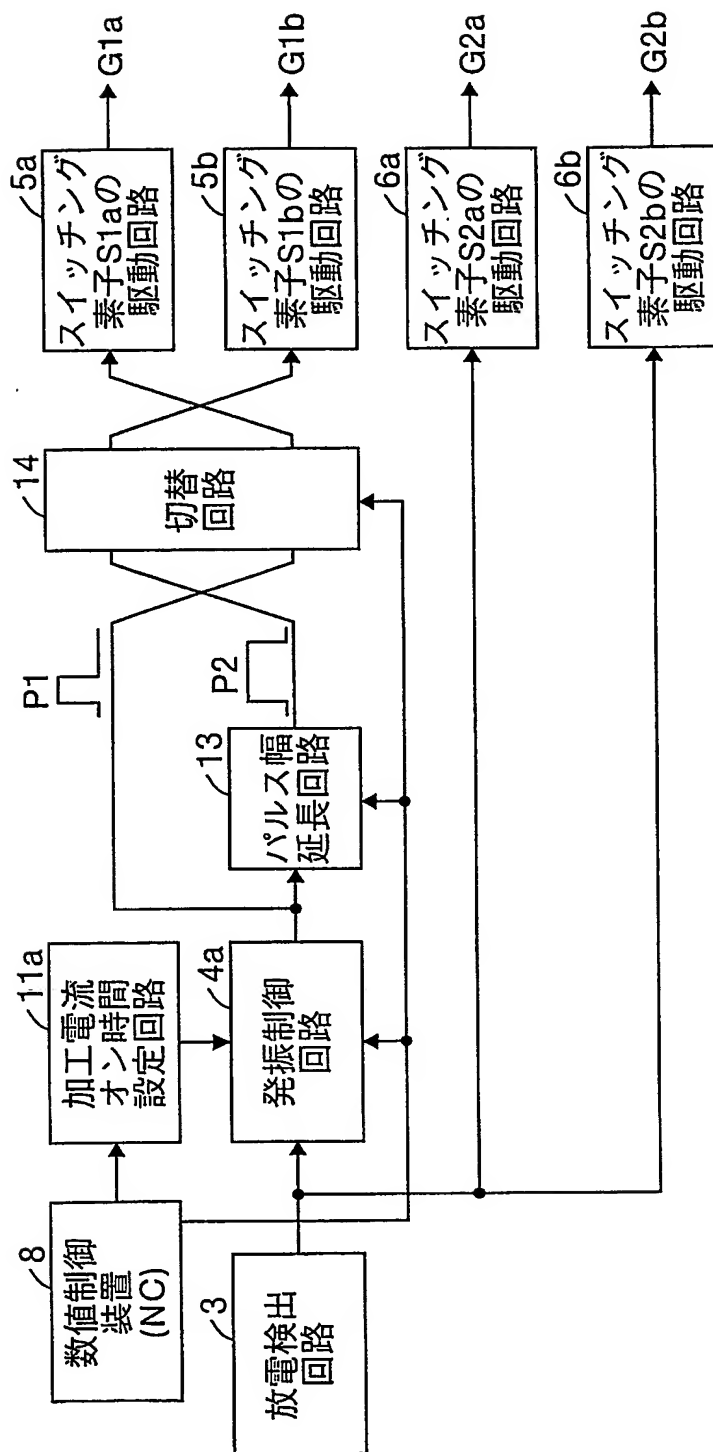
パターン1	ループ1	ループ2A	ループ3
パターン2	ループ1	ループ2B	ループ3

パターン1	S1a	OFF	ON	OFF	OFF	OFF
	S1b	OFF	ON	ON	OFF	OFF
パターン2	S1a	OFF	ON	OFF	OFF	OFF
	S1b	OFF	ON	ON	OFF	OFF

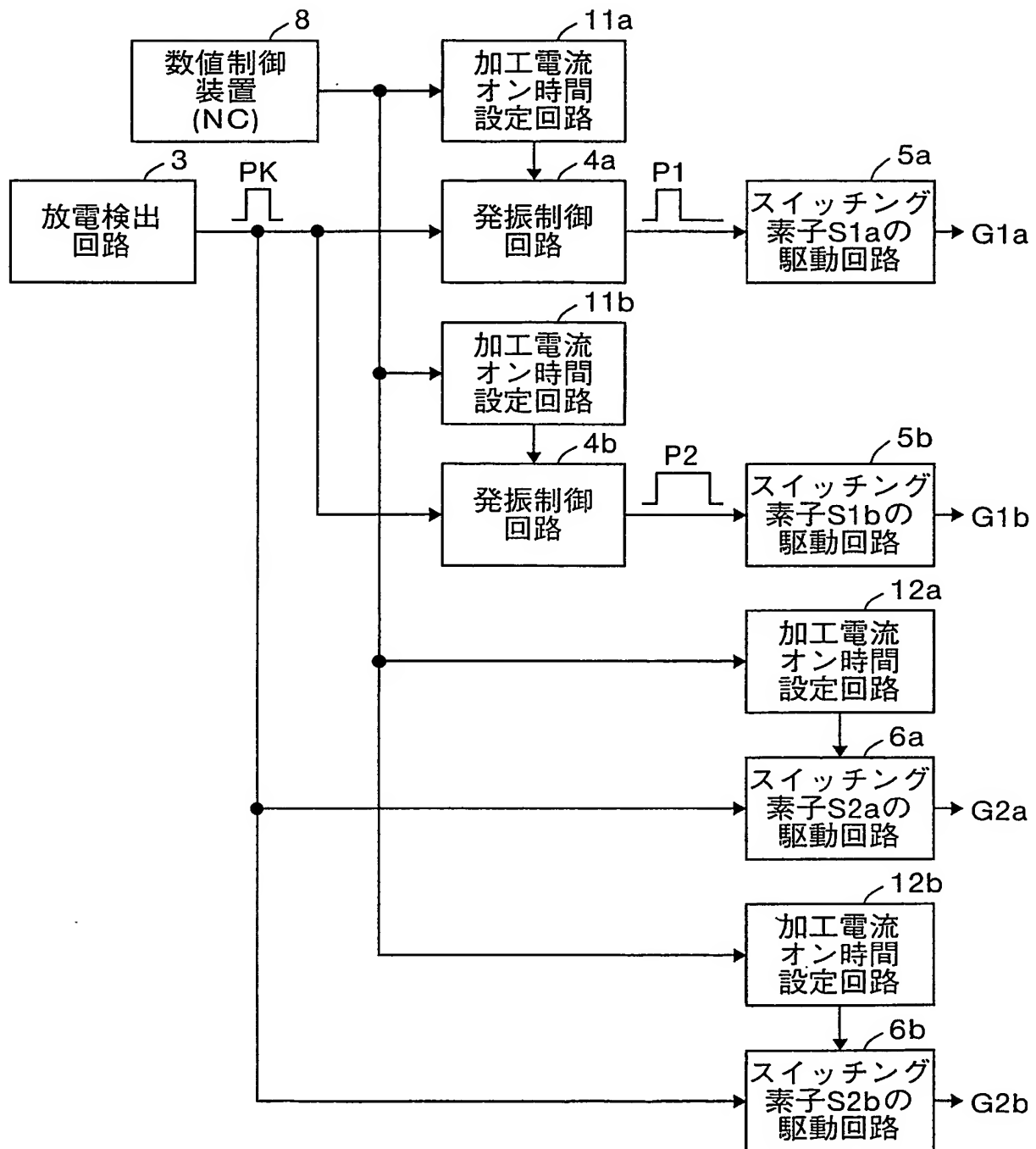
第16図



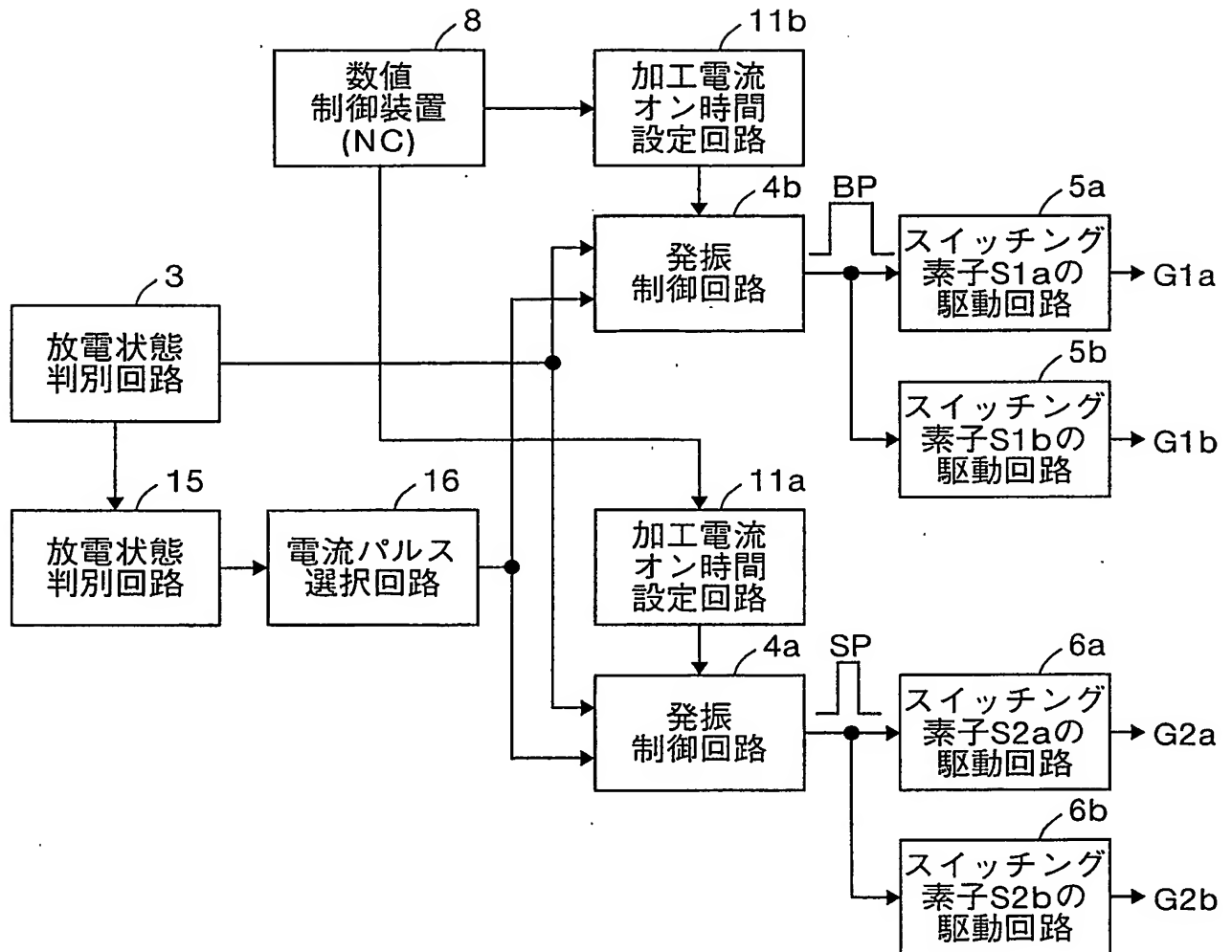
第17図



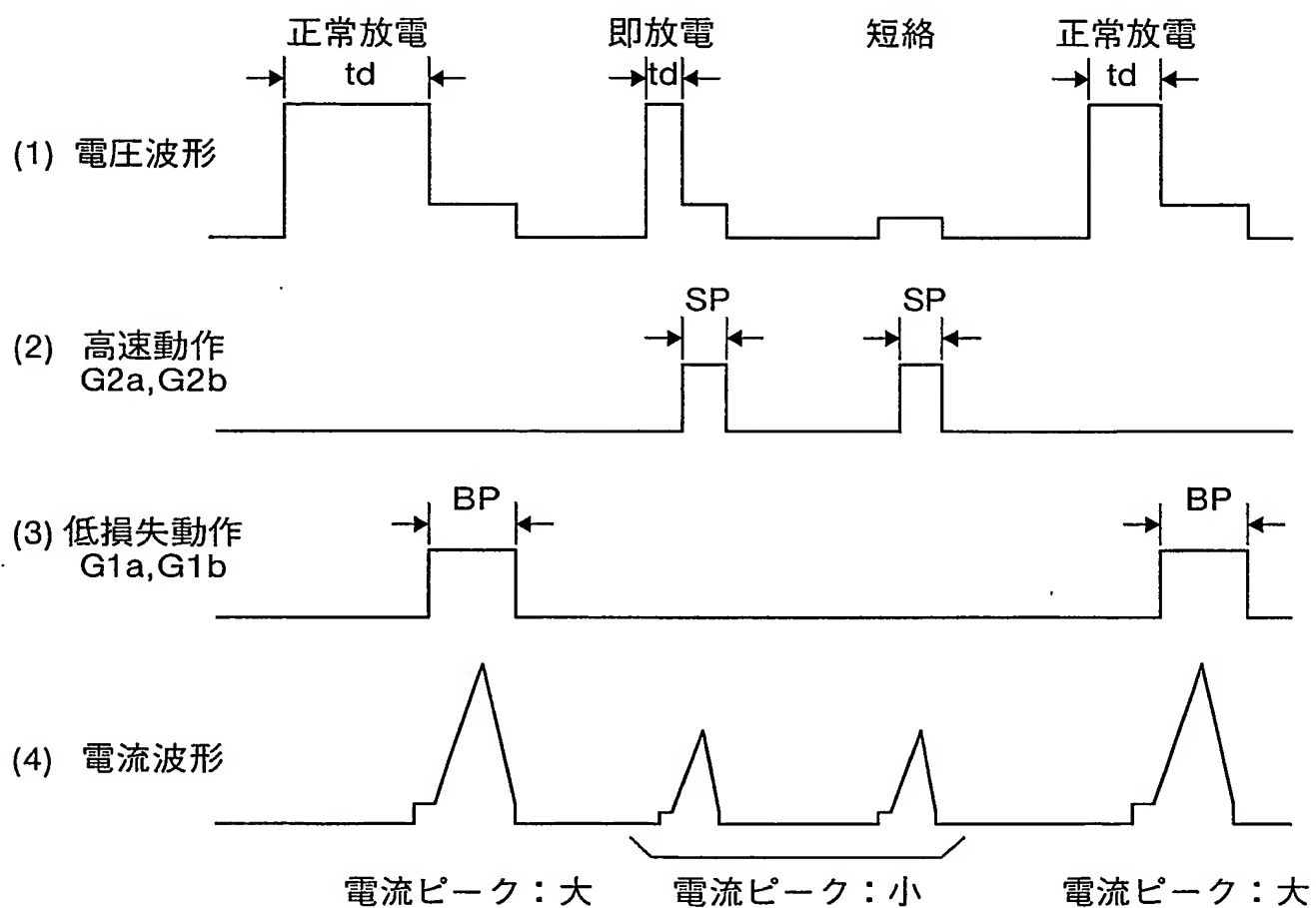
第18図



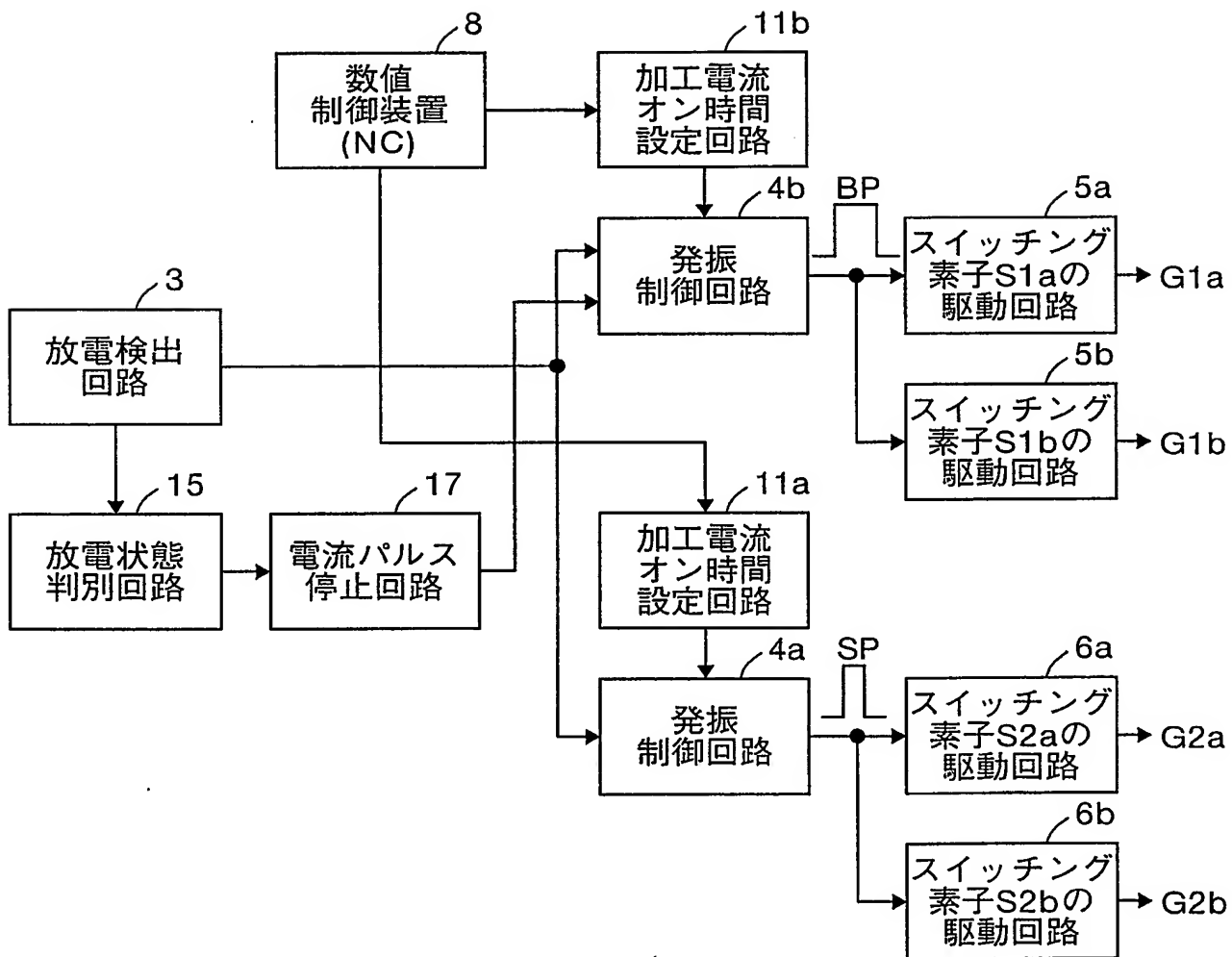
第19図



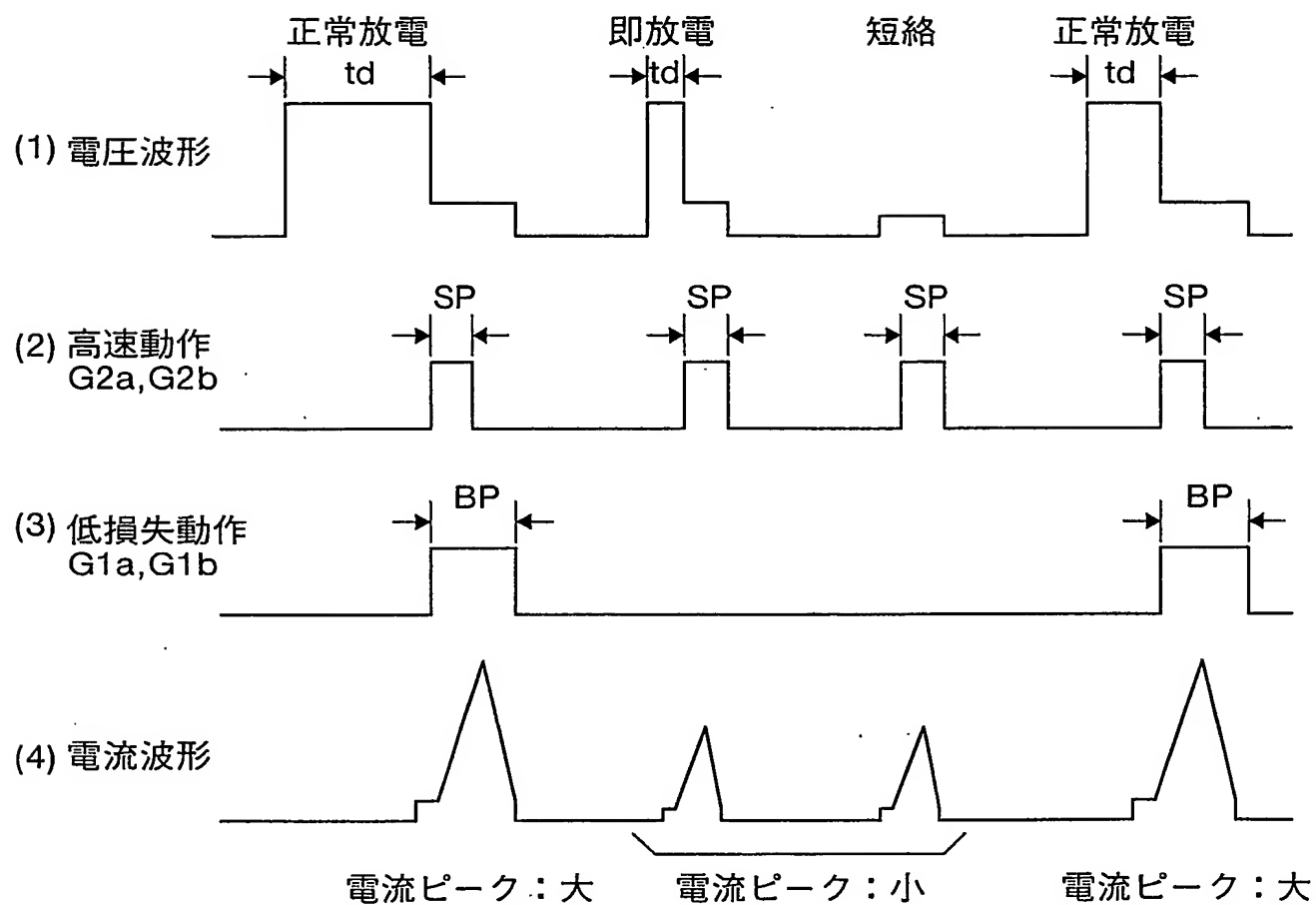
第20図



第21図



第22図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07107

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ B23H1/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ B23H1/02, B23H7/04, B23H7/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 4-105819 A (MITSUBISHI DENKI KABUSHIKI KAISHA), 07 April, 1992 (07.04.92), Page 1, lower right column, line 14 to page 2, upper right column, line 19; Fig. 4 (Family: none)	1-3, 5, 6, 8, 10 4, 7, 9, 11-14
Y A	JP 6-141542 A (Fanuc Ltd.), 20 May, 1994 (20.05.94), Full text; drawings (Family: none)	1-3, 5, 6, 8, 10 4, 7, 9, 11-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 October, 2002 (10.10.02)Date of mailing of the international search report
29 October, 2002 (29.10.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07107

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 5064984 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 12 November, 1991 (12.11.91), Column 1, line 67 to column 2, line 30; Fig. 1 & JP 3-104517 A (MITSUBISHI DENKI KABUSHIKI KAISHA), 01 May, 1991 (01.05.91), Page 2, upper right column, line 15 to lower left column, line 19; Fig. 3 & DE 4029578 A1 & CH 681701 A	1-3, 5, 6, 8, 10 4, 7, 9, 11-14
A	JP 2002-36030 A (Mitsutoyo Corp.), 05 February, 2002 (05.02.02), Page 6, right column, lines 25 to 33; Fig. 1 (Family: none)	1-14
A	JP 3-92220 A (Sedomu Kabushiki Kaisha), 17 April, 1991 (17.04.91), Page 4, upper right column, line 5 to lower left column, line 3; Fig. 4 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' B23H1/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' B23H1/02 B23H7/04 B23H7/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2002年

日本国実用新案登録公報 1996-2002年

日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 4-105819 A (三菱電機株式会社), 1992. 04. 07, 第1頁右下欄第14行-第2頁右上欄第19行及び第4図 (ファミリーなし)	1-3, 5, 6, 8, 10 4, 7, 9, 11-14
Y A	J P 6-141542 A (ファナック株式会社), 1994. 05. 20, 全文及び図面 (ファミリーなし)	1-3, 5, 6, 8, 10 4, 7, 9, 11-14

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.10.02

国際調査報告の発送日

29.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

神崎孝之

3 P

3117

電話番号 03-3581-1101 内線 3362

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US 5064984 A1 (MITSUBISHI DENKI K. K.), 1991. 11. 12, 第1欄第67行-第2欄第 30行, 第1図 & JP 3-104517 A (三菱電機株式会社), 199 1. 05. 01, 第2頁右上欄第15行-左下欄第19行, 第3図 & DE 4029578 A1 & CH 681701 A	1-3, 5, 6, 8, 10 4, 7, 9, 11-14
A	JP 2002-36030 A (株式会社ミットヨ), 200 2. 02. 05, 第6頁右欄第25-33行, 図1 (ファミリーな し)	1-14
A	JP 3-92220 A (セドム株式会社), 1991. 04. 17, 第4頁右上欄第5行-左下欄第3行, 第4図 (ファミリーな し)	1-14